

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



4031

本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 1 1 月 1 7 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 3 4 4 8 9 3 号

出 願 人

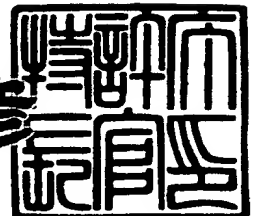
Applicant (s):

株式会社半導体エネルギー研究所

2 0 0 0 年 1 月 2 8 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 0 2 4 2 4

【書類名】 特許願

【整理番号】 P004031-03

【提出日】 平成10年11月17日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその作製方法

【請求項の数】 23

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 安達 広樹

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【納付方法】 予納

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を含む半導体装置において、

前記nチャネル型薄膜トランジスタと、前記pチャネル型薄膜トランジスタと、のゲート電極は、

ゲート絶縁膜に接して形成された第1のゲート電極と、

前記第1のゲート電極と、前記ゲート絶縁膜とに接して形成された第2のゲート電極と、を有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域と、を有し、

前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、

前記nチャネル型薄膜トランジスタの前記第1の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていて、

前記pチャネル型薄膜トランジスタの前記第3の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていること
を特徴とする半導体装置。

【請求項 2】

nチャネル型薄膜トランジスタで形成された画素マトリクス回路と、nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を含む半導体装置において、

前記画素マトリクス回路と前記CMOS回路のnチャネル型薄膜トランジスタのゲート電極は、

ゲート絶縁膜に接して形成された第1のゲート電極と、

前記第1のゲート電極と、前記ゲート絶縁膜とに接して形成された第2のゲート電極と、を有し、

ト電極と、を有し、

前記 n チャンネル型薄膜トランジスタの半導体層は、チャンネル形成領域と、該チャンネル形成領域に接して形成された第 1 の不純物領域と、該第 1 の不純物領域に接して形成された第 2 の不純物領域と、を有し、

前記 p チャンネル型薄膜トランジスタの半導体層は、チャンネル形成領域と、該チャンネル形成領域に接して形成された第 3 の不純物領域を有し、

前記 n チャンネル型薄膜トランジスタの前記第 1 の不純物領域の一部は、前記第 2 のゲート電極の前記ゲート絶縁膜に接する領域と重なっていて、

前記 p チャンネル型薄膜トランジスタの前記第 3 の不純物領域の一部は、前記第 2 のゲート電極の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項 3】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記第 1 の不純物領域は、LDD 領域であり、前記第 2 の不純物領域と前記第 3 の不純物領域は、ソース領域またはドレイン領域であること
を特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記第 2 の不純物領域に接して設けられ、前記第 1 の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、から付加容量部が形成されていること
を特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記第 2 の不純物領域に接して設けられ、前記第 3 の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、から付加容量部が形成されていること
を特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記 n チャネル型薄膜トランジスタおよび p チャネル型薄膜トランジスタの、前記第 1 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料で形成されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記 n チャネル型薄膜トランジスタおよび p チャネル型薄膜トランジスタの、前記第 1 のゲート電極は、前記ゲート絶縁膜に接して形成される第 1 の導電層と、前記第 1 の導電層の上に形成される、一つまたは複数の導電層とから形成されることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 の導電層は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料から形成され、

前記第 1 の導電層の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料で形成されることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記第 2 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料から形成されることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 5 のいずれか 1 項において、

第 1 の不純物領域に含まれる不純物元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{at ms/cm}^3$ であること

を特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、前記半導体装置は液晶表示装置、或いはイメージセンサ、或いは EL 型表示装置であること

を特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項において、前記半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、または、携帯型情報端末であること

を特徴とする半導体装置。

【請求項 13】

絶縁表面を有する基板上に第 1 の半導体層と第 2 の半導体層とを形成する第 1 の工程と、

前記第 1 の半導体層と第 2 の半導体層とに接して、ゲート絶縁膜を形成する第 2 の工程と、

前記ゲート絶縁膜に接して、第 1 のゲート電極を形成する第 3 の工程と、

前記第 1 のゲート電極をマスクとして、少なくとも前記第 1 の半導体層に周期律表 15 族に属する元素を添加して第 1 の不純物領域を形成する第 4 の工程と、

前記第 1 のゲート電極をマスクとして、前記第 2 の半導体層のみに周期律表 13 族に属する元素を添加して第 3 の不純物領域を形成する第 5 の工程と、

前記第 1 のゲート電極と、前記ゲート絶縁膜とに接して、第 2 のゲート電極を形成する第 6 の工程と、

前記第 2 のゲート電極をマスクとして、少なくとも前記第 1 の半導体層に周期律表 15 族に属する元素を添加して第 2 の不純物領域を形成する第 7 の工程と、

前記第2のゲート電極の一部を除去する第8の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項14】

請求項13において、

前記第1の不純物領域は、LDD領域を形成し、前記第2の不純物領域と前記第3の不純物領域は、ソース領域またはドレイン領域を形成することを有することを特徴とする半導体装置の作製方法。

【請求項15】

請求項13において、

前記第2の不純物領域から延在した半導体層に

前記第1のゲート電極と同じ材料で、配線電極を形成する工程と、

前記第1の不純物領域と同じ濃度で周期律表15族に属する元素を添加する工程と、

第2のゲート電極と同じ材料で、付加容量電極を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項16】

請求項13において、

前記第2の不純物領域から延在した半導体層に

前記第1のゲート電極と同じ材料で、配線電極を形成する工程と、

前記第3の不純物領域と同じ濃度で周期律表13族に属する元素を添加する工程と、

第2のゲート電極と同じ材料で、付加容量電極を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項17】

請求項13において、

前記第1のゲート電極は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料から形成されることを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 13 において、

前記第 1 のゲート電極は、前記ゲート絶縁膜に接して形成される第 1 の導電層と、前記第 1 の導電層の上に形成される一つまたは複数の導電層と、を有すること

を特徴とする半導体装置の作製方法。

【請求項 19】

請求項 18 において、

前記第 1 の導電層は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料から形成され、

前記第 1 の導電性膜の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料で形成されることを特徴とする半導体装置作製方法。

【請求項 20】

請求項 13 において、

前記第 2 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または複数種の元素、あるいは該元素を主成分とする合金材料から成ること、

を特徴とする半導体装置の作製方法。

【請求項 21】

請求項 13 において、

前記第 1 の不純物領域に含まれる不純物元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であること

を特徴とする半導体装置の作製方法。

【請求項 22】

請求項 13 乃至請求項 21 のいずれか 1 項において、前記半導体装置は液晶表示装置、或いはイメージセンサ、或いは EL 型表示装置であること

を特徴とする半導体装置の作製方法。

【請求項 23】

請求項 13 乃至請求項 22 のいずれか 1 項において、前記半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、または、携帯型情報端末であること

を特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器の構成に関する。なお、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を範疇に含んでいる。

【0002】

【従来の技術】

薄膜トランジスタ（TFT）は透明ガラス基板上に作製することができるので、アクティブマトリクス型液晶表示装置への応用開発が積極的に進められてきた。結晶構造を有する半導体膜を半導体層にしたTFT（結晶質TFT）は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能になった。

【0003】

本願明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含み、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0004】

アクティブマトリクス型液晶表示装置を構成するためには、画素マトリクス回路だけでも100～200万個の結晶質TFTが必要であり、さらに周辺に設けられる機能回路を付加するとそれ以上の数の結晶質TFTが必要であった。そして、液晶表示装置を安定に動作させるためには、個々の結晶質TFTの信頼性を確保しておく必要があった。

【0005】

アクティブマトリクス型液晶表示装置の画素マトリクス回路はnチャネル型TFTで構成されていて、振幅15～20V程度のゲート電圧が印加されるので、オン領域とオフ領域の両方の特性を満足する必要があった。一方、画素マトリクス回路を駆動するために設けられる周辺回路はCMOS回路を基本として構成され、主にオン領域の特性が重要であった。しかし、結晶質TFTはオフ電流が上がりやすいという問題点があった。また、結晶性TFTを長期間駆動させると移動度やオン電流の低下、オフ電流の増加といった劣化現象がしばしば観測された。この原因の一つは、ドレイン近傍の高電界が原因で発生するホットキャリア効果にあると考えられた。

【0006】

MOSトランジスタの分野では、オフ電流を下げ、さらにドレイン近傍の高電界を緩和する方法として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造は、ソース領域とドレイン領域の内側、すなわちチャネル領域側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

【0007】

同様に結晶質TFTでもLDD構造を形成することは知られていた。従来技術では、ゲート電極をマスクとして、第1の不純物添加の工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物添加の工程によりソース領域とドレイン領域となる高濃度不純物領域を形成することができた。

【0008】

しかし、LDD構造は通常の構造のTFTと比べて、オフ電流を下げる事ができても、構造的に直列抵抗成分が増えてしまうため、結果としてTFTのオン電流も低下させてしまう欠点があった。また、オン電流の劣化を完全に防ぐことはできなかった。この欠点を補う方法として、LDD領域をゲート絶縁膜を介してゲート電極オーバーラップさせる構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD (Gate-drain Overlapped LDD) や、LATID (Large-tilt-angle implanted drain) として知られている。このような構造とすることで、ドレイン近傍の高電界を緩和してホットキャリア耐性を高め、同時にオン電流の低下を防ぐことができた。

【0009】

また、結晶質TFTにおいても、ソース領域とドレイン領域とチャネル領域のみから形成された単純な構成の結晶質TFTに比べ、LDD構造を設けることによりホットキャリア耐性が向上し、さらにGOLD構造を採用するときわめて優れた効果が得られることが確認されていた (A Novel Self-aligned Gate-overlapped LDD Poly-Si TFT with High Reliability and Performance, Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM 97-523)。

【00010】

【発明が解決しようとする課題】

結晶質TFTにおいて、ホットキャリア効果を抑止するためにLDD構造を形成することは有効な手段であった。さらにGOLD構造にすると、LDD構造で見られたオン電流の低下を防ぐことができた。そして、信頼性の面からも良好な結果が得られた。

【00011】

しかし、GOLD構造はオン電流の劣化を防ぐことができるが、特に画素マトリクス回路を構成するnチャネル型TFTのように、オフ特性で高いゲート電圧が印加されるとき、オフ電流が増加してしまう欠点があった。画素マトリクス回路でオフ電流が増加すると、消費電力が増えたり、画像表示に異常が現れたりする不都合が生じた。これはオフ特性で、ゲート電極とオーバーラップさせて形成

されたLDD領域に反転層が形成され、ホールの通路を作ってしまうためであった。

【00012】

以上のように、結晶性TFTで高い信頼性を達成するためには素子の構造面からの検討が必要であった。そのために、GOLD構造を形成することが望ましかった。しかし、従来の方法では、自己整合的にLDD領域を形成することができ、サイドウォール膜を異方性エッチングで形成する工程は、液晶表示装置のように大面積のガラス基板を処理するには不向きであることが予想された。また、サイドウォールの幅でLDD領域の長さが決まるので、素子寸法の設計上の自由度もきわめて限定されるものであった。

【0010】

また画素マトリクス回路のように、オン特性とオフ特性の両方が要求され、その信頼性を満足させ、オフ電流の増加もなくそうとすると、従来のGOLD構造のままでは不十分であった。

【0011】

本願発明は、従来技術よりも簡便な方法で、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶性TFTとその作製技術を提供することを第1の目的としている。また、GOLD構造ではオフ特性で高いゲート電圧が印加されたとき、オフ電流が増加してしまう問題点があった。そのため本願発明は、オフ電流の増加を防止できる構造とその作製方法を提供することを第2の目的としている。

【0012】

さらに本願発明は、液晶表示装置の画素マトリクス回路と、その周辺に設けられるCMOS回路を基本とした駆動回路とその作製方法において、少なくともnチャンネル型TFTのLDD領域がゲート電極とオーバーラップしている構造として、かつ、オフ電流の増加を防止できる構造とその作製方法を提供することを第3の目的としている。

【0013】

【課題を解決するための手段】

図17は、これまでの知見を基にして、TFTの構造とそのとき得られる $V_g - I_d$ （ゲート電圧ードレイン電流）特性を模式的に示したものである。図17（イ）の（A）は、半導体層がチャンネル領域と、ソース領域と、ドレイン領域とから成る最も単純なTFTの構造である。同図（B）の特性は、 $+V_g$ 側はTFTのオン特性であり、 $-V_g$ 側はオフ特性である。そして、実線は初期特性を示し、破線は劣化後の特性を示している。この構造ではオン電流とオフ電流共に高く、また、連続駆動による劣化も大きく、例えば、画素マトリクス回路などにはこのままでは使用できなかった。

【0014】

図17（ロ）の（A）は、（イ）の（A）にLDD領域となる低濃度不純物領域が設けられた構造であり、ゲート電極とオーバーラップしないLDD構造である。このとき（ロ）の（B）に示すように、オフ電流をある程度抑えることができるが、オン電流の劣化を防ぐことはできなかった。また、図17（ハ）の（A）は、LDD領域がゲート電極と完全にオーバーラップした構造で、GOLD構造とも呼ばれるものである。このとき（ハ）の（B）に示すように、オン電流の劣化を抑えることはできるが、LDD構造よりもオフ電流が増加してしまう欠点があった。

【0015】

従って、図17（イ）、（ロ）、（ハ）に示す構造では、画素マトリクス回路に必要なオン領域の特性とオフ領域の特性を、信頼性の問題を含めて同時に満足させることはできなかった。しかし、図17（ニ）の（A）の構造とすることで、オン電流の劣化を防ぎ、オフ電流の増加を抑えることができることがわかった。これは、LDD領域をゲート電極とオーバーラップする領域と、しない領域の2つの領域に分けることで、達成できるものであった。これは、ゲート電極とオーバーラップしたLDD領域でホットキャリア効果を抑止して、かつ、ゲート電極とオーバーラップしないLDD領域でオフ電流の増加を防ぐ効果を兼ね備えたものであった。

【0016】

本願発明は、LDD領域がゲート電極とオーバーラップした構造を得るために

、第1のゲート電極を形成する工程と、第2のゲート電極を形成する工程とを有し、前記第1のゲート電極を形成する工程の後で1回目の不純物元素を添加する工程を行い、LDD領域となる第1の不純物領域を形成し、第2のゲート電極を形成する工程の後で2回目の不純物元素を添加する工程を行い、ソース領域とドレイン領域となる第2の不純物領域を形成する工程を行うものである。そして、第2のゲート電極の一部を除去させて、LDD領域が第2のゲート電極とオーバーラップしない領域が設けられたTFTを形成するものである。

【0017】

従って、本願明細書で開示する発明の構成は、

nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を含む半導体装置において、前記nチャネル型薄膜トランジスタと、前記pチャネル型薄膜トランジスタとのゲート電極は、ゲート絶縁膜に接して形成された第1のゲート電極と、前記第1のゲート電極と前記ゲート絶縁膜とに接して形成された第2のゲート電極と、を有し、前記nチャネル型薄膜トランジスタの半導体層は、チャンネル形成領域と、該チャンネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、前記pチャネル型薄膜トランジスタの半導体層は、チャンネル形成領域と、該チャンネル形成領域に接して形成された第3の不純物領域を有し、前記nチャネル型薄膜トランジスタの前記第1の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていて、前記pチャネル型薄膜トランジスタの前記第3の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていることを特徴としている。

【0018】

また、他の発明の構成は、

nチャネル型薄膜トランジスタで形成された画素マトリクス回路と、nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を含む半導体装置において、前記画素マトリクス回路と前記CMOS回路のnチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1のゲート電極と、前記第1のゲート電極と、前記ゲート絶縁膜とに接し

て形成された第2のゲート電極とを有し、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された第3の不純物領域を有し、前記nチャネル型薄膜トランジスタの前記第1の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていて、前記pチャネル型薄膜トランジスタの前記第3の不純物領域の一部は、前記第2のゲート電極の前記ゲート絶縁膜に接する領域と重なっていることを特徴としている。

【0019】

上記発明の構成において、

前記第1の不純物領域は、LDD領域を形成し、前記第2の不純物領域と前記第3の不純物領域は、ソース領域およびドレイン領域を形成している薄膜トランジスタであることを特徴としている。また、前記第2の不純物領域に接して設けられ、前記第1の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、から付加容量部が形成されていることを特徴としている。

【0020】

また、上記発明の構成において、

前記第2の不純物領域に接して設けられ、前記第3の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極とから付加容量部が形成されていても良い。

【0021】

さらに、本発明の構成において、

前記nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタの、前記第1のゲート電極は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または、該元素を主成分とする合金材料で形成されていれば良い。

【0022】

また、前記nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタの、前記第1のゲート電極は、前記ゲート絶縁膜に接して形成される第1の導電層と、前記第1の導電層の上に形成される、一つまたは複数の導電層から形成されていて、前記第1の導電層は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成され、前記第1の導電層の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または、該元素を主成分とする合金材料で形成され、前記第2のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成されることが望ましい。

【0023】

そして、本願発明の構成は、
 絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、
 前記第1の半導体層と第2の半導体層とに接して、ゲート絶縁膜を形成する第2の工程と、
 前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、
 前記第1のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、前記第1のゲート電極をマスクとして、前記第2の半導体層のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第5の工程と、
 前記第2のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第7の工程と、
 前記第2のゲート電極の一部を除去する第8の工程と、
 を有することを特徴とする。

【0024】

上記発明の構成において、
 前記第1の不純物領域は、LDD領域を形成し、前記第2の不純物領域と前記第

3の不純物領域は、ソース領域およびドレイン領域を形成する工程であることを特徴とする。

【0025】

上記発明の構成において、

前記第2の不純物領域から延在した半導体層に、前記第1のゲート電極と同じ材料で、配線電極を形成する工程と、前記第1の不純物領域と同じ濃度で周期律表15族に属する元素を添加する工程と、第2のゲート電極と同じ材料で、付加容量電極を形成する工程とを有することを特徴とする。

【0026】

また、前記第2の不純物領域から延在した半導体層に、前記第1のゲート電極と同じ材料で、配線電極を形成する工程と、前記第3の不純物領域と同じ濃度で周期律表13族に属する元素を添加する工程と、第2のゲート電極と同じ材料で、付加容量電極を形成する工程としても良い。

【0027】

本発明の構成において、

前記第1のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成する工程であることを特長とする。

【0028】

前記第1のゲート電極は、前記ゲート絶縁膜に接して形成される第1の導電層と、前記第1の導電層の上に形成される一つまたは複数の導電層とを有するものであり、前記第1の導電性膜は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成され、前記第1の導電性膜の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または、該元素を主成分とする合金材料で形成される工程であることを特徴としている。そして、前記第2のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成することが望ましい。

【0029】

【発明の実施の形態】

本発明の実施の形態について図1を用いて説明する。101は絶縁表面を有する基板である。例えば、酸化シリコン膜を設けた、ガラス基板、ステンレス基板、プラスチック基板、セラミックス基板、シリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0030】

そして、基板101のTFTが形成される表面には、下地膜102が形成されている。下地膜102は酸化シリコン膜や窒化シリコン膜で形成され、基板101から不純物が半導体層へ拡散することを防ぐために設けられている。

【0031】

前記基板上に形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶性半導体で形成することが望ましい。また、前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンゲルマニウム合金、炭化シリコンであり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0032】

図1では、nチャネル型およびpチャネル型TFTの断面構造を示している。nチャネル型TFTおよびpチャネル型TFTのゲート電極は、第1のゲート電極と第2のゲート電極とから成っている。図1では、第1のゲート電極は3層構造となっており、ゲート絶縁膜103に接して設けられた第1の導電層111、115と、その上に積層された、第2の導電層112、116と、第3の導電層113、117から成っている。そして、第2のゲート電極114、118は、前記第1のゲート電極と、前記ゲート絶縁膜103に接して設けられている。

【0033】

第1のゲート電極を構成する第1の導電層111、115は、Ti、Ta、Mo、W、など元素か、これらの元素を主成分とする合金材料で形成されている。

窒化物、酸化物、シリサイドとしても良い。また、第2の導電層112、116は抵抗率の低い、AlやCuを用いることが望ましい。また第3の導電層113、117は、第1の導電層と同様にTi、Ta、Mo、W、など元素か、これらの元素を主成分とする合金材料で形成されている。ここで第2の導電層は、液晶表示装置のような大面積の基板に本願発明のTFTを形成することを考慮して、ゲート電極の抵抗を低くする目的で設けられるものである。用途によっては、第1のゲート電極を前記第1の導電層のみで形成しても良く、また3層以上積層させても構わない。

【0034】

第2のゲート電極114、118は、前記第1のゲート電極と電氣的に導通していて、ゲート絶縁膜103に延在して設けられている。ここで、図16で示すように、第2のゲート電極は最初L3の長さで形成され、その後エッチング処理によりL5の長さだけ除去してL2の長さにされる。従って、第1のゲート電極をL1とすると、第2のゲート電極がゲート絶縁膜に延在する長さはL4で表すことができる。

【0035】

ここで、本願発明において、第1のゲート電極の長さL1は0.1~10 μ m、好ましくは0.2~5 μ m、第2のゲート電極の長さL2は0.3~14 μ m、好ましくは0.8~8 μ mの長さで形成することが望ましい。ここで、第2のゲート電極を除去する長さL5は0.1~2 μ m、好ましくは0.3~1 μ mとしている。

【0036】

第1のゲート電極と第2のゲート電極は、1回目の不純物元素を添加する工程と2回目の不純物元素を添加する工程でマスクとして機能するものであり、その点を考慮してL1とL3、および、L2とL5の長さを決める必要がある。nチャネル型TFTのLDD領域の長さは、このL3とL1の差分の長さで形成される。そして、第2のゲート電極をあらかじめL3の長さで形成しておき、その後エッチング処理によりL5の長さだけ除去して、L2の長さとするのは、本願発明の構成を得るために、LDD領域となる第1の不純物領域1605が、ゲート

絶縁膜を介して第2のゲート絶縁膜と接する領域をL4の長さで、接しない領域をL5の長さで設けるためである。

【0037】

nチャネル型TFTの半導体層は、チャネル形成領域104と、前記チャネル形成領域の両側に接して設けられた第1の不純物領域105と、前記第1の不純物領域105に接して設けられた第2の不純物領域106、107とから形成されている。この第2の不純物領域106はソース領域として機能し、第2の不純物領域107はドレイン領域として機能するものである。第1の不純物領域105は、ゲート絶縁膜103を介して、第2のゲート電極114がゲート絶縁膜と接している領域に重なって設けられている。

【0038】

第1の不純物領域105の長さL6は、 $0.2 \sim 4 \mu\text{m}$ 、好ましくは $0.6 \sim 2.5 \mu\text{m}$ 、（例えば $1.5 \mu\text{m}$ ）の長さを有し、n型を付与する不純物元素の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{atms/cm}^3$ 、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atms/cm}^3$ で添加されている。そして、第1の不純物領域が大2のゲート電極と重ならない領域は前述の如く $0.1 \sim 2 \mu\text{m}$ 、好ましくは $0.3 \sim 1 \mu\text{m}$ とする。また、ソース領域105とドレイン領域106の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atms/cm}^3$ 、代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atms/cm}^3$ とすれば良い。

【0039】

この時、チャネル形成領域104には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{atms/cm}^3$ の濃度でボロンが添加されても良い。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0040】

一方、pチャネル型TFTの第3の不純物領域109、110、130、131は、ソース領域とドレイン領域とを形成するものである。そして、第3の不純物領域130、131にはn型を付与する不純物元素がnチャネル型TFTのソース領域105とドレイン領域106と同じ濃度で含まれているが、その1.5～3倍の濃度でp型を付与する不純物元素が添加されている。

【0041】

以上示したように本願発明のTFTは、ゲート電極を第1のゲート電極と、第2のゲート電極とを設けた構造を有し、図1で示すように第2のゲート電極は、第1のゲート電極とゲート絶縁膜とに接して設けられている。そして、少なくともnチャネル型TFTにおいて、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域の一部が、第2のゲート電極がゲート絶縁膜に接している領域と重なって設けられている構造に特徴がある。

【0042】

図1で示された構造は、第1のゲート電極をマスクとして、LDD領域となる第1の不純物領域を形成し、第2のゲート電極をマスクとしてソース領域とドレイン領域となる第2の不純物領域を形成した後で、エッチング処理により第2のゲート電極を後退させることにより実現できる。従って、LDD領域の長さは、第1のゲート電極の長さL1と第2のゲート電極の長さL3で決まり、LDD領域が第2のゲート電極と重ならない長さは、第2のゲート電極を後退させる量L5で決めることができる。このような方法は、TFTの設計上または製作上において自由度を広げることが可能となり、非常に有効であった。

【0043】

一方、pチャネル型TFTには第3の不純物領域109、110、130、131が形成され、LDD構造となる領域は設けないものとする。第3の不純物領域は、ソース領域109、130とドレイン領域110、131を形成する。そして、ソース領域109とドレイン領域110の一部が第2のゲート電極とオーバーラップしている。勿論、本願発明のLDD構造を設けても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本願発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0044】

こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜119で覆い、ソース電極120、121ドレイン電極122を設け

る。図1の構造では、これらを設けた後でパッシベーション膜123として窒化シリコン膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に応用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0045】

図1では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0046】

以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0047】

[実施例1]

本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0048】

図2において、基板201には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板201のTFTが形成される表面に、酸化シリコンを主成分とする下地膜202を200nmの厚さに形成した。下地膜202は、窒化シリコン膜を用いても良いし、窒化酸化シリコン膜を用いても良い。

【0049】

次に、この下地膜202の上に50nmの厚さで、非晶質シリコン膜をプラズマCVD法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、含有水素量を5atm%以下として、結晶化の工程を行うことが望ましい。

【0050】

非晶質シリコン膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜とした。

【0051】

尚、本実施例では非晶質シリコン膜を用いたが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0052】

こうして形成された結晶質シリコン膜をパターニングして、島状の半導体層204、205、206を形成した。

【0053】

次に、半導体層204、205、206を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜203を形成した。ここではプラズマCVD法で窒化酸化シリコン膜を100nmの厚さに形成した。そして、図では説明しないが、ゲート絶縁膜203の表面に第1のゲート電極を構成する、第1の導電膜としてTaを10~200nm、例えば50nmの厚さに、さらに第2の導電膜としてAlを100~1000nm、例えば200nmの厚さでスパッタ法により形成した。そして、公知のパターニング技術により、第1のゲート電極を構成する第1の導電膜207、208、209、210と、第2の導電膜の212、213、214、215が形成された。このとき、図16で示した第1のゲート電極の長さL1は適宜決めれば良く0.1~10 μ m、ここでは2 μ mの長さでパターニングした。(図2(A))

【0054】

第1のゲート電極を構成する第2の導電膜として、Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1~5atm%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜203の表面に窒化シリコン膜を30~100nmの厚さで設けておくと好ましい。

【0055】

また、図2では画素マトリクス回路を構成するnチャネル型TFETのドレイン

側に付加容量部を設ける構造となっている。このとき、第1のゲート電極と同じ材料で付加容量部の配線電極211、216が形成される。

【0056】

こうして図2(A)に示す構造が形成されたら、1回目のn型不純物を添加する工程を行い、第1の不純物領域を形成した。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH_3)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。また、こうして形成された第1の不純物領域は、後に示すnチャネル型TFETの第1の不純物領域229、236、240を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atms/cm}^3$ とした。(図2(B))

【0057】

半導体層中に添加された前記不純物元素は、レーザーアニール法や、熱処理により活性化させる必要があった。この工程は、ソース・ドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは有効であった。

【0058】

この工程で、第1のゲート電極を構成する第1の導電膜207、208、209、210と第2の導電膜212、213、214、215は、リンの添加に対してマスクとして機能した。その結果ゲート絶縁膜を介して存在する半導体層の第1のゲート電極真下には、まったく、あるいは殆どリンが添加されなかった。そして、図2(B)に示すように、リンが添加された第1の不純物領域218、219、220、221、222、が形成された。

【0059】

次にフォトリソ膜をマスクとして、nチャネル型TFETを形成する領域をレジストマスク258、226で覆って、pチャネル型TFETが形成される領域

のみに、p型を付与する不純物添加の工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドーブ法で添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{atms/cm}^3$ の濃度にボロンを添加した。そして、図2(C)に示すようにボロンが高濃度に添加された第3の不純物領域227、228が形成された。この第3の不純物領域は後にpチャネル型TFETのソース領域、ドレイン領域領域となった。(図2(C))

【0060】

そして、レジストマスク225、226を除去した後、第2のゲート電極を形成する工程を行った。ここでは、第2のゲート電極の材料にTaを用い、100～1000nm、例えば200nmの厚さに形成した。そして、公知の技術によりパターニングを行い、第2のゲート電極243、244、245、246が形成された。この時、図16で示す第2のゲート電極の長さL3は0.5～20 μm 、ここでは5 μm となるようにパターニングした。結果として、第2のゲート電極は、第1のゲート電極の両側にそれぞれ1.5 μm の長さでゲート絶縁膜と接する領域(L6)が形成された。

【0061】

また、画素マトリクス回路を構成するnチャネル型TFETのドレイン側に付加容量部が設けられるが、この付加容量部の電極247は第2のゲート電極と同時に形成された。

【0062】

そして、第2のゲート電極243、244、245、246をマスクとして、2回目のn型を付与する不純物元素を添加して、第2の不純物領域を形成する工程を行った。このとき図3(A)に示す様に、第2のゲート電極をパターニングするときに設けたレジストマスク283、284、285、286、287をそのまま残しておいても良い。ここでは、フォスフィン(PH_3)を用いたイオンドーブ法で行った。この工程でも、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。そして、

ここで形成される第2の不純物領域は、nチャネル型TFTのソース領域230、237、およびドレイン領域231、238、241として機能させるため、この領域のリンの濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atms/cm}^3$ とした。(図3(A))

【0063】

また、ここで図示はしないが、ソース領域230、237、およびドレイン領域231、241を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させ、直接リンを添加しても良い。この工程を加えると、イオンドープ法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができた。

【0064】

また、pチャネル型TFTの第3の不純物領域の一部288、289にも同じ濃度でリンが添加されるが、その2倍の濃度でボロンが添加されているため、導電型は反転せず、pチャネル型TFTの動作上何ら問題はなかった。そして、pチャネル型TFTでは、第3の不純物領域234、289、233、288によって、ソース領域が234、289で形成され、ドレイン領域が233、288で形成された。このとき、ソース領域の一部234と、ドレイン領域の一部233とは、第2のゲート電極244とオーバーラップして形成された。

【0065】

図2(C)の状態が得られたら、レジストマスク283、284、285、286、287は除去して、再度フォトリソ膜を形成し、裏面からの露光によってパターンニングした。このとき図3(B)に示すように、第1および第2のゲート電極をマスクとして自己整合的にレジストマスク248、249、250、256、257が形成された。裏面からの露光は、直接光と散乱光を利用して行うもので、オーバー露光とすることで、図3(B)のようにレジストマスクを第2のゲート電極の内側に設けることができた。

【0066】

そして、第2のゲート電極のマスクされていない領域をエッチングして除去した。エッチングは通常のドライエッチング技術を用いればよく、 CF_4 と O_2 ガ

スを用いて行った。そして、図3 (C) に示すように、L5の長さだけ除去した。L5の長さは0.1~2 μm の範囲で適宜調整すれば良く、ここでは0.5 μm とした。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域の長さ1.5 μm の内、1 μm (L4) の長さで第2のゲート電極と重なる領域が形成され、0.5 μm (L5) の長さで第2のゲート電極と重ならない領域を形成することができた。

【0067】

それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法 (RTA法) で行うことができた。

【0068】

熱アニール法では、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の加熱処理をして活性化を行った。本実施例では、第1のゲート電極を構成する第2の導電膜にA1を用いたクラッド構造としてあり、Taで形成された第1の導電膜と第2のゲート電極がA1を覆って形成されているため、Taがブロッキング層として機能して、A1原子が他の領域に拡散することを防ぐことができた。また、レーザーアニール法では、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化が行われた。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られた。またこの工程は、イオンドーピングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできた。

【0069】

以上の工程で、ゲート電極を第1のゲート電極と、その第1のゲート電極に接して第2のゲート電極が設けられ、半導体層にはLDD領域となる第1の不純物領域と、ソース領域とドレイン領域となる第2の不純物領域が形成された。そして、第1の不純物領域は、ゲート絶縁膜を介して第2のゲート電極と重なる領域

と重ならない領域が形成された。一方、pチャネル型TFTでは、チャネル形成領域と、ソース領域と、ドレイン領域とが形成された。

【0070】

図3(B)までの工程が終了したら、レジストマスク258、259を除去して、第1の層間絶縁膜263を1000nmの厚さに形成した。第1の層間絶縁膜263としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜、およびそれらの積層膜を用いることができる。本実施例では、図示しないが、最初に窒化シリコン膜を50nm形成し、さらに酸化シリコン膜を950nm形成した2層構造とした。

【0071】

第1の層間絶縁膜263はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域にコンタクトホールが形成された。そして、ソース電極264、265、266、とドレイン電極267、268が形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

【0072】

そして、ソース電極264、265、266とドレイン電極267、268と、第1の層間絶縁膜263を覆ってパッシベーション膜269を形成した。パッシベーション膜269は、窒化シリコン膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜270を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0073】

こうして図3(C)に示すように、基板201上にCMOS回路と、画素マト

リクス回路が形成されたアクティブマトリクス基板が作製された。また、画素マトリクス回路のnチャネル型TFTのドレイン側には、付加容量部が同時に形成された。

【0074】

[実施例 2]

本実施例では、実施例 1 と同じ工程で図 3 (A) に示す状態得た後、他の方法で第 2 のゲート電極の一部を除去して、第 1 の不純物領域が第 2 のゲート電極と重なる領域と重ならない領域とを形成する例を示す。

【0075】

まず、図 3 (A) に示すように、第 2 のゲート電極のパターニング工程で使用したレジストマスク 283、284、285、286、287 をそのまま使用して、エッチングにより、第 2 のゲート電の一部を図 4 (A) に示すように L5 の長さだけ除去した。

【0076】

この工程は、ドライエッチングで行うことができた。第 2 のゲート電極の材料にもよるが、基本的にはフッ素 (F) 系ガスを用いることにより等方性エッチングが進み、レジストマスクの下にある第 2 のゲート電極材料を除去することができた。例えば、Ta の場合には CF_4 ガスで可能であり、Ti の場合には CF_4 や CCl_4 ガスで可能であり、Mo の場合には SF_6 や NF_3 で可能であった。

【0077】

そして、図 4 (A) に示すように、L5 の長さだけ、ここでは $0.7 \mu m$ 除去した。その結果、nチャネル型TFTにおいて、LDD領域となる第 1 の不純物領域は $1.5 \mu m$ の長さ (L6) で形成されており、 $0.8 \mu m$ の長さ (L4) で第 2 のゲート電極と重なる領域が形成され、 $0.7 \mu m$ の長さ (L5) で第 2 のゲート電極と重ならない領域を形成することができた。

【0078】

そしてレジストマスク 283、284、285、286、287 を除去して、実施例 1 と同様に活性化の工程を行い、第 1 の層間絶縁膜 263、ソース電極 264、265、266、ドレイン電極 267、268、パッシベーション膜 26

9、第2の層間絶縁膜270を形成して、図4（C）に示すアクティブマトリクス基板が形成された。

【0079】

[実施例3]

本実施例では、実施例1または実施例2で形成されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0080】

図3（C）または図4（C）の状態のアクティブマトリクス基板に対して、第2の層間絶縁膜270にドレイン電極268に達するコンタクトホールを形成し、画素電極271を形成した。画素電極271は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成し、画素電極271を形成した。

【0081】

図5（A）の状態が形成されたら、配向膜272を第2の層間絶縁膜270と画素電極271形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板273には、透明導電膜274と、配向膜275とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0082】

上記の工程を経て、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料276を注入し、封止剤（図示せず）によって完全に封止した。よって図5（B）に示すアクティブマトリクス型液晶表示装置が完成した。

【0083】

次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図7と図8を用いて説明する。図7は本実施例のアクティブマトリクス基板の斜視図である。

アクティブマトリクス基板は、ガラス基板 201 上に形成された、画素マトリクス回路 701 と、走査（ゲート）線駆動回路 702 と、信号（ソース）線駆動回路 703 で構成される。画素マトリクス回路の画素 TFT 700 は n チャンネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査（ゲート）線駆動回路 702 と、信号（ソース）線駆動回路 703 はそれぞれゲート配線 802 とソース配線 803 で画素マトリクス回路 701 に接続されている。

【0084】

図 8（A）は画素マトリクス回路 701 の上面図であり、ほぼ 1 画素の上面図である。画素マトリクス回路には n チャンネル型 TFT が設けられている。ゲート配線 802 に連続して形成されるゲート電極 820 は、図示されていないゲート絶縁膜を介してその下の半導体層 801 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、画素 TFT のドレイン側には、半導体層と、ゲート絶縁膜と、第 1 及び第 2 のゲート電極と同じ材料で形成された電極とから、付加容量 807 が形成されている。そして、付加容量 807 に接続した容量配線 821 が、ゲート配線 802 と平行に設けられている。また、図 8（A）で示す A-A' に沿った断面構造は、図 3（C）および図 4（C）に示す画素マトリクス回路の断面図に対応している。

【0085】

一方、図 8（B）に示す CMOS 回路では、ゲート配線 819 から延在するゲート電極 813、814 が、図示されていないゲート絶縁膜を介してその下の半導体層 810、812 とそれぞれ交差している。図示はしていないが、同様に n チャンネル型 TFT の半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、p チャンネル型 TFT の半導体層にはソース領域とドレイン領域が形成されている。そして、その位置関係は、B-B' に沿った断面構造は、図 3（C）および図 4（C）に示す画素マトリクス回路の断面図に対応している。

【0086】

本実施例では、画素TFT700をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0087】

[実施例4]

本実施例は、実施例1と同じ工程であるが、画素マトリクス回路のnチャンネル型TFTとCMOS回路のnチャンネル型TFTおよびpチャンネル型TFTの、第2のゲート電極の構造が異なる一例を示す。このとき、図6(A)に示すように、第2のゲート電極290、291は、第1のゲート電極に接していて、各TFTのドレイン側にのみ延在した形態となっている。CMOS回路において、nチャンネル型TFTの第2のゲート電極をこのような形状としてもTFTのドレイン側に形成される高電界領域を緩和することができた。

【0088】

本実施例の工程は、基本的に実施例1で示す工程に従えば良く、第2のゲート電極の形状はパターニングの工程で使用するフォトマスクを変更すだけで、他の工程は何ら変更する必要はない。しかし、nチャンネル型TFTの第1の不純物領域は、ドレイン領域側のみに形成される。

【0089】

そして、図6(B)に示すように、レジストマスク223、224、225、226、227は除去して、再度フォトレジスト膜を形成し、裏面からの露光によってパターニングした。このとき図6(B)に示すように、第1および第2のゲート電極をマスクとして自己整合的にレジストマスク248、249、250、256、257が形成された。裏面からの露光は、直接光と散乱光を利用して行うもので、オーバー露光とすることで、図6(B)のようにレジストマスクを第2のゲート電極の内側に設けることができた。

【0090】

そして、第2のゲート電極のマスクされていない領域をエッチングして除去した。エッチングは通常のドライエッチング技術を用いればよく、 CF_4 と O_2 ガスを用いて行った。そして、図6 (C) に示すように、L5の長さだけ除去した。L5の長さは0.1~2 μm の範囲で適宜調整すれば良く、ここでは0.5 μm とした。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域の長さ1.5 μm の内、1 μm (L4) の長さで第2のゲート電極と重なる領域が形成され、0.5 μm (L5) の長さで第2のゲート電極と重ならない領域を形成することができた。以降の工程は、実施例1と同様に行うことで、図6 (C) に示すアクティブマトリクス基板が形成された。

【0091】

[実施例5]

本実施例では、実施例1において半導体層として用いる結晶性半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0092】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図9に示す。まず基板901に酸化シリコン膜902を設け、その上に非晶質シリコン膜903を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層904を形成した。(図9 (A))

【0093】

次に、500℃、1時間の脱水素工程の後、500~650℃で4~12時間、例えば550℃、8時間の熱処理を行い、結晶性シリコン膜905を形成した。こうして得られた結晶性シリコン膜905は非常に優れた結晶性を有した。(図9 (B))

【0094】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に

添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図10で説明する。

【0095】

まず、ガラス基板1001に酸化シリコン膜1002を設け、その上に非晶質シリコン膜1003、酸化シリコン膜1004を連続的に形成した。この時、酸化シリコン膜1004の厚さは150nmとした。

【0096】

次に酸化シリコン膜1004をパターニングして、選択的に開孔部1005を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層1006が形成され、ニッケル含有層1006は開孔部1005の底部のみで非晶質シリコン膜1002と接触した。(図10(A))

【0097】

次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶性シリコン膜1007を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶性シリコン膜1007は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図10(B))

【0098】

尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0099】

以上のような技術を用いて結晶性半導体膜(結晶性シリコン膜や結晶性シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、結晶性TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶性半導体膜

から作製された T F T は、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本願発明の T F T 構造を採用することで、本実施例の技術を最大限に生かした T F T を作製することが可能となった。

【0100】

〔実施例6〕

本実施例は、実施例1で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶性半導体膜を形成した後で、その触媒元素を結晶性半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0101】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶性半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【0102】

本実施例の構成について図10を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図11(A)では、実施例5で示した結晶化の技術を用いて、下地1102、結晶性シリコン膜1103が形成された状態を示している。そして、結晶性シリコン膜1103の表面にマスク用の酸化シリコン膜1104が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶性シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶性シリコン膜にリンが添加された領域1105が設けられた。

【0103】

この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶性シリコン膜にリンが添加された領域1105がゲッターリングサイトとして働き、結晶性シリコン膜1103に残存していた触媒元素はリンが添加された領域1105に偏析させることができた。

【0104】

そして、マスク用の酸化シリコン膜 1104 と、リンが添加された領域 1105 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶性シリコン膜を得ることができた。この結晶性シリコン膜はそのまま実施例 1 で示した本願発明の TFT の半導体層として使用することができた。

【0105】

[実施例 7]

本実施例では、実施例 1 で示した本願発明の TFT を作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。そして、本実施例の構成を図 12 で説明する。

【0106】

ここでは、少なくとも 700~1100℃ 程度の耐熱性を有する基板が必要であり、石英基板 901 が用いられた。そして実施例 5 及び実施例 6 で示した技術を用い、結晶性半導体が形成され、これを TFT の半導体層にするために、島状にパターニングして半導体層 1202、1203 を形成した。そして、半導体層 1202、1203 を覆って、ゲート絶縁膜 1204 を酸化シリコンを主成分とする膜で形成した。本実施例では、プラズマ CVD 法で窒化酸化シリコン膜を 70nm の厚さで形成した。(図 12 (A))

【0107】

そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では、950℃、30分とした。尚、処理温度は 700~1100℃ の範囲で選択すれば良く、処理時間も 10分から8時間の間で選択すれば良かった。(図 12 (B))

【0108】

その結果、本実施例の条件では、半導体層 902、903 とゲート絶縁膜 904 との界面で熱酸化膜が形成され、ゲート絶縁膜 1207 が形成された。また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜 1204 と半導体層 1202、1203 に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し

、気相中に除去することができた。

【0109】

以上の工程で作製されたゲート絶縁膜1207は、絶縁耐圧が高く半導体層1205、1206とゲート絶縁膜1207の界面は非常に良好なものであった。本願発明のTFETの構成を得るためには、以降の工程は実施例1に従えば良かった。

【0110】

[実施例8]

本実施例では、実施例1と異なる工程順序で結晶性TFETを作製する例を図13に示す。まず、実施例1において、図2(A)で示される半導体層204、205、206は、実施例5で示す方法で作製された結晶性シリコン膜を用いている。このとき、結晶化の工程で用いられた触媒元素が半導体層中にわずかに残存していた。そして、その後の工程は、実施例1に従い図3(B)に示すp型を付与する不純物添加の工程までを実施した。そして、レジストマスク258、259を除去した。

【0111】

このとき、図13に示すように、nチャネル型TFETのソース領域230、237と、ドレイン領域231、238、241と、pチャネル型TFETのソース領域261と、ドレイン領域262とにはいずれも図2(C)の工程で添加されたリンが添加されていた。実施例1に従えばこのときリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atms/cm}^3$ であった。

【0112】

この状態で、窒素雰囲気中で400～800℃、1～24時間、例えば600℃、12時間の加熱処理の工程を行った。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、前記リンが添加された領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができた。その結果、チャネル領域から触媒元素を除去することができた。

【0113】

図 13 の工程が終了したら、以降の工程は実施例 1 の工程に従い、図 3 (C) の状態を形成することにより、アクティブマトリクス基板を作製することができた。

【0114】

〔実施例 9〕

本実施例では、本願発明の TFT におけるゲート電極の構成の例を図 14 で示す。ゲート電極は、第 1 のゲート電極と、第 1 のゲート電極に接して形成される第 2 のゲート電極とから成っている。そして、第 1 のゲート電極は、一つまたは複数の導電層から形成されるものである。

【0115】

図 14 (A) は、第 1 のゲート電極のゲート絶縁膜に接して形成される第 1 の導電層を Mo-Ti 膜 1701 で形成し、その第 1 の導電層上に積層して、第 2 の導電層を Ti 膜 1702 で形成し、第 3 の導電層を Al を主成分とする膜 1703 で形成し、第 4 の導電層を Ti 膜 1704 で形成した構造を有している。ここで、第 1 の導電層の厚さは 30～200 nm の厚さに、また、他の導電層の厚さは 50～100 nm の厚さで形成することが望ましい。

【0116】

ゲート絶縁膜に接する第 1 の導電層は、その上に形成する導電層の構成元素がゲート絶縁膜中にしみ込むのを防ぐバリア層としての役割を果たすものであり、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用いることが望ましい。また、図 14 (A) で形成された第 3 の導電層は Al を主成分とする膜 1703 であり、これはゲート電極の抵抗率を下げるために設けられる。そして、形成される Al 膜の平坦性を高めるために、スカンジウム (Sc)、Ti、シリコン (Si) などの元素を 0.1～5 at% の割合で含有させた Al 合金膜を用いると望ましい。いずれにしても、本願発明を 10 インチクラスかそれ以上の液晶表示装置に適用する場合には、ゲート電極の抵抗を下げるために、Al または Cu を主成分とする抵抗率の低い材料を用いることが望ましい。さらに、第 1 のゲート電極とゲート絶縁膜に接して形成される第 2 のゲート電極は、耐熱性を高めるために、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用い

ることが望ましい。

【0117】

図14 (B) は他の構成例であり、第1のゲート電極をMo-W合金膜1701から成る一つの層で、第2のゲート電極をTi膜1705で形成したものである。第2のゲート電極はその他にTa、Moで形成しても良い。第1のゲート電極は厚さを50～100nmとすれば良い。

【0118】

図14 (C) は、第1のゲート電極を構成する第1の導電層をTi膜1707で形成し、第2の導電層を銅(Cu)を主成分とする膜1708で形成し、第3の導電層をTi膜1709で形成したものである。Al膜と同様にCu膜を用いてもゲート電極の抵抗率を下げる事が可能である。また、第2のゲート電極はTi膜1710で形成した。

【0119】

図14 (D) は、第1のゲート電極を構成する第1の導電層をTi膜1702で形成し、第2の導電層をAlを主成分とする膜1703で形成し、第3の導電層をTi膜1704で形成したものである。第2のゲート電極はMo膜1705で形成した。

【0120】

図14 (E) は、第1のゲート電極を構成する第1の導電層をTi膜1702で形成し、まず、その表面に窒化チタン(TiN)膜1720を設けた。TiN膜1720の厚さは、Ti膜1702の厚さ30～200nmに対して10～100nmとすれば良く、ここでは20nmとした。TiN膜はスパッタ法で第1の導電層のTi膜を形成するとき、アルゴンガス中に流量比で10～30%程度の窒素ガスを加えれば良く、このとき膜中の含有量を20～50atm%、好ましくは40atm%とすれば良かった。そして第2の導電層をAlを主成分とする膜1703で形成し、第3の導電層をTi膜1704で形成した。このときもAlを主成分とする膜1703の表面にTiN膜1720を形成した。そして、第2のゲート電極をTi膜1709で形成した。このときも同様に、TiN膜1720を20nm形成してから、200nmのTi膜1709を形成した。

【0121】

図14(E)のように、TiN膜をTi膜1702、1704、1709とAlを主成分とする膜1703との界面に設けることにより、TiとAlが直接反応することを防ぐことができた。このようなゲート電極の構成は、実施例1の熱活性化の工程や、実施例8で行われる加熱処理の工程に対して有効であり、300～700℃の範囲、好ましくは350～550℃の範囲でその工程を実施することができた。

【0122】

図14(F)は、第1のゲート電極を構成する第1の導電層をTi膜1702で形成し、第2の導電層をAlを主成分とする膜1703で形成し、第2のゲート電極をTa膜1725で形成したものである。ここでも同様にTi膜1702、Ta膜1725がAlを主成分とする膜1703と接する面にTiN膜およびTa₂N₃膜を形成した。Ta₂N₃膜は同様にスパッタ法でアルゴンガスに窒素を流量比で1～10%添加すれば良く、このときTa₂N₃膜中に含まれる窒素の量を35～60atm%、好ましくは45～50atm%含ませると良い。このような構成とすることで、図14(E)の構成例と同様に耐熱性を高めることができた。

【0123】

[実施例10]

本実施例では、図16のL4に相当する長さをTF₁T形成部と配線部とで異ならせる場合について図18を用いて説明する。

【0124】

図18において、半導体層40上には第1のゲート電極41及び第2のゲート電極42が形成されている。この時、第2のゲート電極42は第1のゲート電極41を覆い隠すように形成されるが、本明細書中では第1のゲート電極41と重ならない部分の長さをL4と定義している。

【0125】

本実施例の場合、TF₁T形成部（半導体層の上）ではL4の長さ（ここではW_{LDD}と表す）を0.1～2μm（代表的には0.3～1.5μm）とする。そして、配線部（半導体層の上以外）ではL4'の長さ（ここではW_Lと表す）を0

、 $0.5 \sim 0.5 \mu\text{m}$ （代表的には $0.1 \sim 0.3 \mu\text{m}$ ）とする。

【0126】

即ち、本実施例はTFT形成部よりも配線形成部の方において第2のゲート電極の線幅を狭くすることに特徴がある。なぜならば配線形成部ではL4に相当する領域は必要なく、却って配線の高密度集積化を妨げる要因となってしまうため、可能な限り線幅を狭くした方が好ましいからである。

【0127】

従って、本実施例の構成を用いることで配線の高密度集積化が容易となり、延いては半導体装置の高密度集積化が可能となる。なお、本実施例の構成は実施例1～12のいずれの構成とも自由に組み合わせることが可能である。

【0128】

[実施例11]

本実施例では、実施例1のアクティブマトリクス基板に設けられた付加容量部を形成する工程の他の一例を図19で示す。図2(B)の状態の基板に、フォトリジスト膜をマスクとして、nチャネル型TFTを形成する領域をレジストマスク225、295で覆って、pチャネル型TFTが形成される領域と、付加容量がけいせいされる領域とに、p型を付与する不純物添加の工程を行った。ここでは実施例1と同様に $2 \times 10^{20} \text{atms/cm}^3$ の濃度にボロンを添加した。そして、図2(C)に示すようにボロンが高濃度に添加された第3の不純物領域227、228、296が形成された。(図19(A))

【0129】

付加容量部が形成される領域の半導体層に高濃度のボロン(B)が添加されることで、抵抗率を下げることで、好ましい状態となった。尚、以降の工程は実施例1に従えば良い。

【0130】

[実施例12]

本実施例では、計算機シミュレーションを用い、本願発明の構成について、その妥当性を検証した。ここでは、ISE(Integrated system engineering AG)半導体デバイスシミュレータ総合パッケージを用いた。

【0131】

ここで計算に用いたTFTの構造を図20に示す。TFTの構造は、チャネル長 $10\mu\text{m}$ 、チャネル幅 $10\mu\text{m}$ 、で低濃度不純物領域(LDD)の長さを $2.5\mu\text{m}$ 固定とした。また、その他の条件としては、低濃度不純物領域(n^-)のリン濃度を 4.2×10^{17} 個/ cm^3 、ソース領域とドレイン領域(n^+)のリン濃度を 2×10^{20} 個/ cm^3 、半導体層の厚さ 50nm 、ゲート絶縁膜の厚さを 150nm 、ゲート電極の厚さを 400nm とした。そして計算では、低濃度不純物領域(n^-)が、ゲート電極と完全にオーバーラップさせたGOLD構造の場合と、 $0.5\mu\text{m}$ ピッチで外側にずらして、一部がオーバーラップさせた構造(GOLD+LDD)との場合について調べた。

【0132】

図21は、チャネル形成領域の中心を基準として、そのドレイン側の電界強度分布を計算した結果を示す。ここではゲート電圧 $V_g = -8\text{V}$ 、ドレイン電圧 $V_{ds} = 16\text{V}$ として計算した。その結果、低濃度不純物領域(n^-)がゲート電極と完全にオーバーラップしたGOLD構造の場合、ゲートドレイン端での電界強度が最も強くなり、低濃度不純物領域(n^-)領域をドレイン側にずらして、オーバーラップ量を減らすと電界強度が緩和される結果が得られた。

【0133】

また図22は、ドレイン電圧 $V_{ds} = 16\text{V}$ 一定とした、 $V_g - I_d$ (ゲート電圧-ドレイン電流)特性を計算した結果を示している。GOLD構造の場合オフ電流の増大があるが、低濃度不純物領域(n^-)領域をドレイン側にずらして、オーバーラップ量を減らすとオフ電流の増加を防ぐことができる様子を示している。

【0134】

また図23と図24は、低濃度不純物領域(n^-)が、ゲート電極と完全にオーバーラップしたGOLD構造と、 $0.5\mu\text{m}$ 外側にずらして、一部がオーバーラップさせた構造(GOLD+LDD)との場合について、チャネル形成領域、ソース領域、ドレイン領域の電子濃度分布とホール濃度分布について計算した結果を示している。図では濃度分布を等高線で示している。図23では、低濃度不

純物領域 (n^-) の表面がゲート電極とオーバーラップしている領域でホール濃度が高くなっている様子を見ることができる。このとき、このホール濃度が高いことが起因するオフ電流の増加がよそうされる。この様子は、図 25 のホール電流としてみることができる。一方、図 24 では、GOLD+LDD 構造によりゲート電極とドレイン端での電界強度が緩和されるため、ホール濃度は高くない。また、電子濃度の分布も緩やかとなり、LDD 領域の存在のためトンネリング電流も阻止されるため、オフ電流の増加もなくなる。同様に図 26 では電子電流およびホール電流とも低減されている。

【0135】

以上の計算機シミュレーションの結果は、本願発明が課題としている GOLD 構造の現象を良く説明している。そして、本願発明の構成をとることによって、オフ電流の増大を防ぐことができることを示している。

【0136】

[実施例 13]

本実施例では、本発明の TFT 回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について説明する。

【0137】

このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 15 に示す。

【0138】

図 15 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示装置 2004、操作スイッチ 2005、アンテナ 2006 から構成されている。本願発明は音声出力部 2002、音声入力部 2003、及びアクティブマトリクス基板を備えた表示装置 2004 に適用することができる。

【0139】

図 15 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 から成っている。本願発明は音声入力部 2103、及びアクティブマトリクス基

板を備えた表示装置 2102、受像部 2106 に適用することができる。

【0140】

図 15 (C) はモバイルコンピュータであり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成されている。本願発明は受像部 2203、及びアクティブマトリクス基板を備えた表示装置 2205 に適用することができる。

【0141】

図 15 (D) はヘッドマウントディスプレイであり、本体 2301、表示装置 2302、アーム部 2303 で構成される。本願発明は表示装置 2302 に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0142】

図 15 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 に適用することができる。

【0143】

図 15 (F) は携帯書籍であり、本体 2501、表示装置 2502、2503、記憶媒体 2504、操作スイッチ 2505、アンテナ 2506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置 2502、2503 は直視型の表示装置であり、本発明はこの適用することができる。

【0144】

また、ここでは図示しなかったが、本発明はその他にも、イメージセンサや EL 型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0145】

【発明の効果】

本願発明を実施することで、画素マトリクス回路の n チャンネル型 TFT に 15

～20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができた。その結果、結晶性TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置を得ることができた。

【図面の簡単な説明】

【図1】 本実施形態のTFTの断面図。

【図2】 TFTの作製工程を示す断面図。

【図3】 TFTの作製工程を示す断面図。

【図4】 TFTの作製工程を示す断面図。

【図5】 TFTの作製工程を示す断面図。

【図6】 TFTの作製工程を示す断面図。

【図7】 アクティブマトリクス基板の斜視図。

【図8】 画素マトリクス回路とCMOS回路の上面図

【図9】 結晶性シリコン膜の作製工程を示す図。

【図10】 結晶性シリコン膜の作製工程を示す図。

【図11】 結晶性シリコン膜の作製工程を示す図。

【図12】 結晶性シリコン膜の作製工程を示す図。

【図13】 TFTの作製工程を示す断面図。

【図14】 ゲート電極の構成を示す図。

【図15】 電子機器の一例を示す図。

【図16】 ゲート電極の構成を示す図。

【図17】 TFTの構造と電気的特性を説明する図。

【図18】 ゲート電極の構成を示す図。

【図19】 TFTの作製工程を示す断面図。

【図20】 シュミレーションの基本構造を示す図。

【図21】 電界強度分布のシュミレーション結果の図。

【図22】 ゲート電圧ードレイン電流特性のシュミレーション結果の図。

【図23】 電子・ホール濃度分布のシュミレーション結果の図。

【図24】 電子・ホール濃度分布のシュミレーション結果の図。

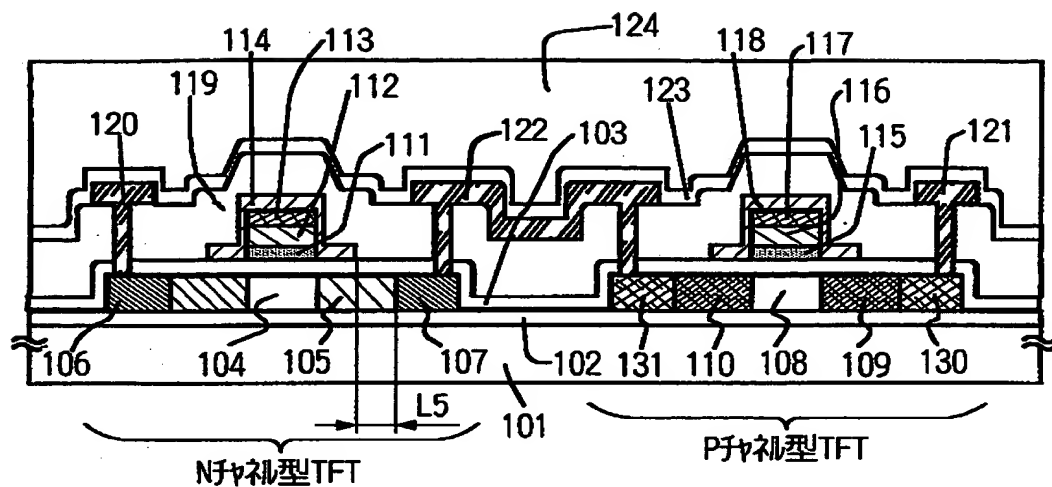
【図 25】 電子・ホール電流密度分布のシュミレーション結果の図。

【図 26】 電子・ホール電流密度分布のシュミレーション結果の図。

【書類名】

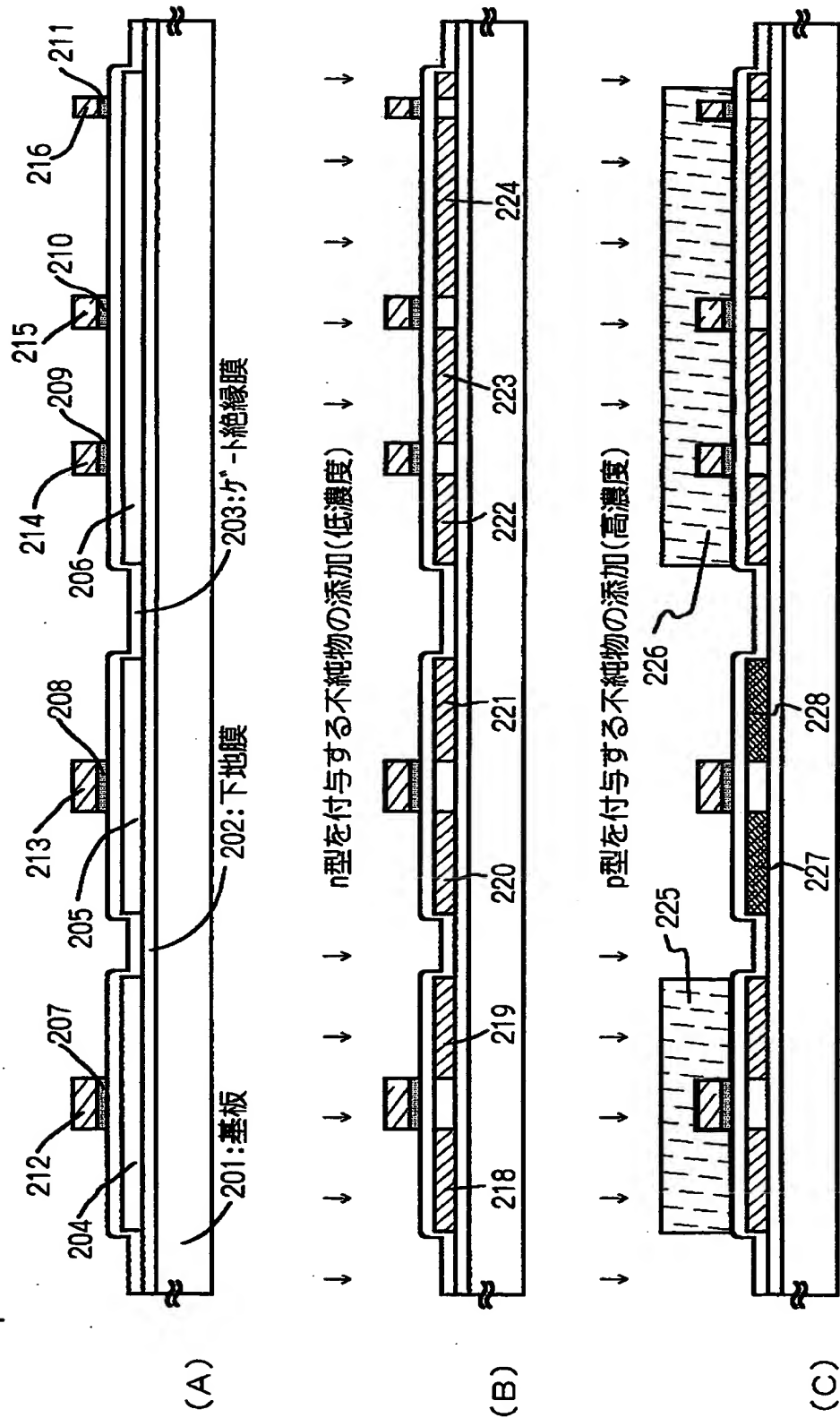
図面

【図 1】



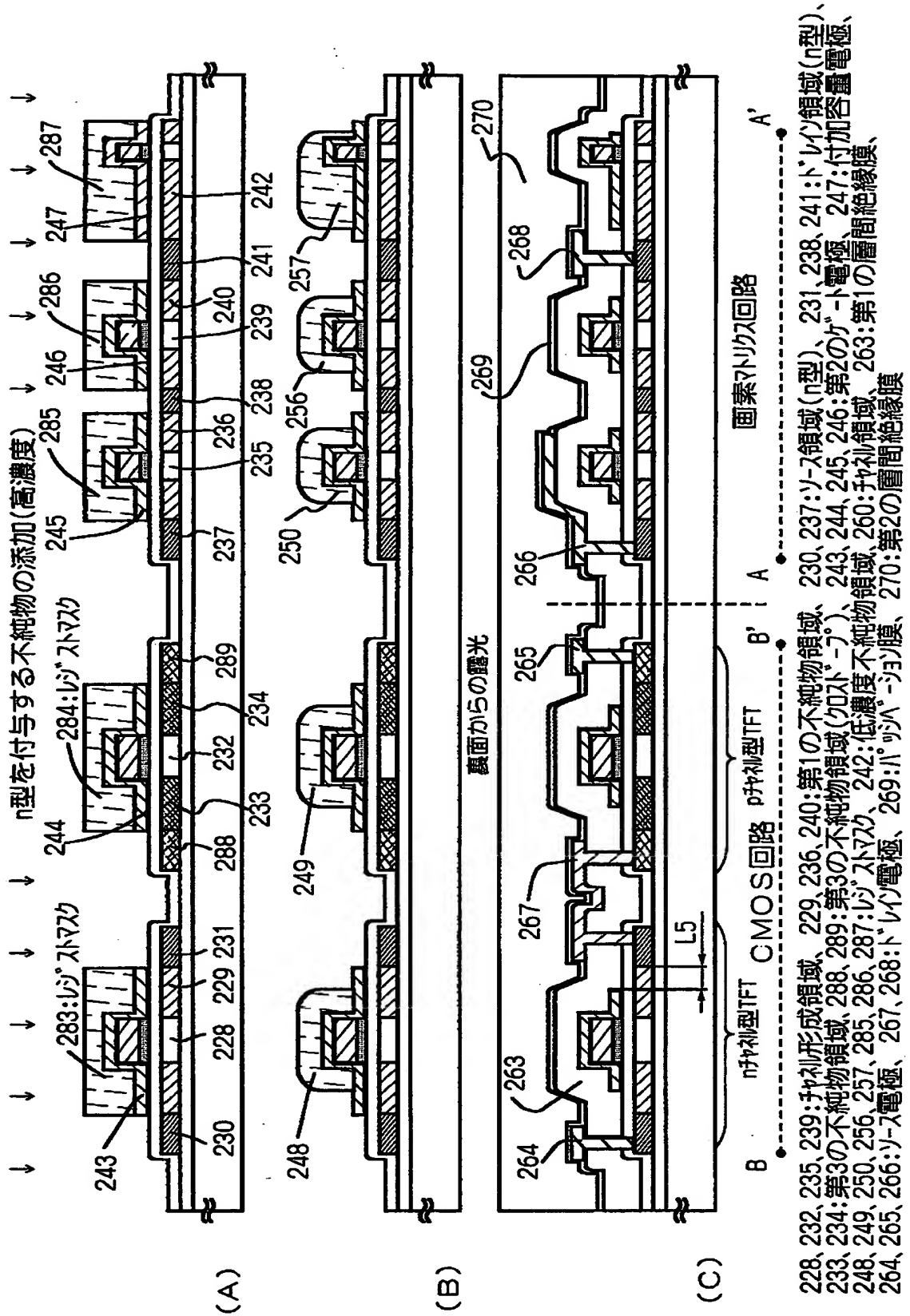
101:基板、102:下地膜、103:ゲート絶縁膜、104、108:チャリ領域、
 105:第1の不純物領域(n型)、106、107第2の不純物領域、
 109、110第3の不純物領域、130、131:第3の不純物領域、
 111、115:第1の導電層、112、116:第2の導電層、113、117:第3の導電層、
 114、118:第2のゲート電極、119:第1の層間絶縁膜、120、121:ソース電極、
 122:ドレイン電極、123:パッシベーション膜、124:第2の層間絶縁膜

【図 2】

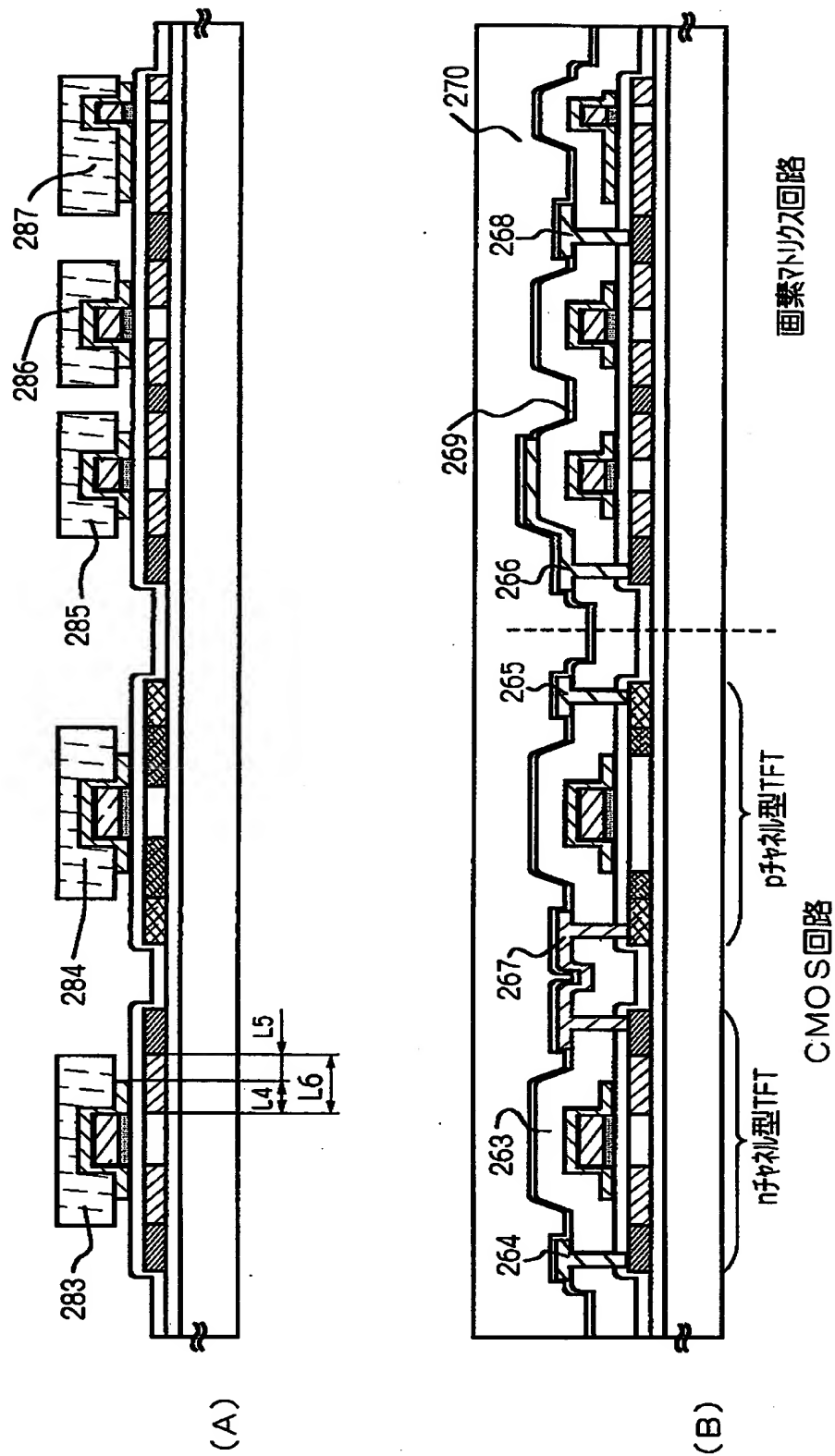


特平 10-344893

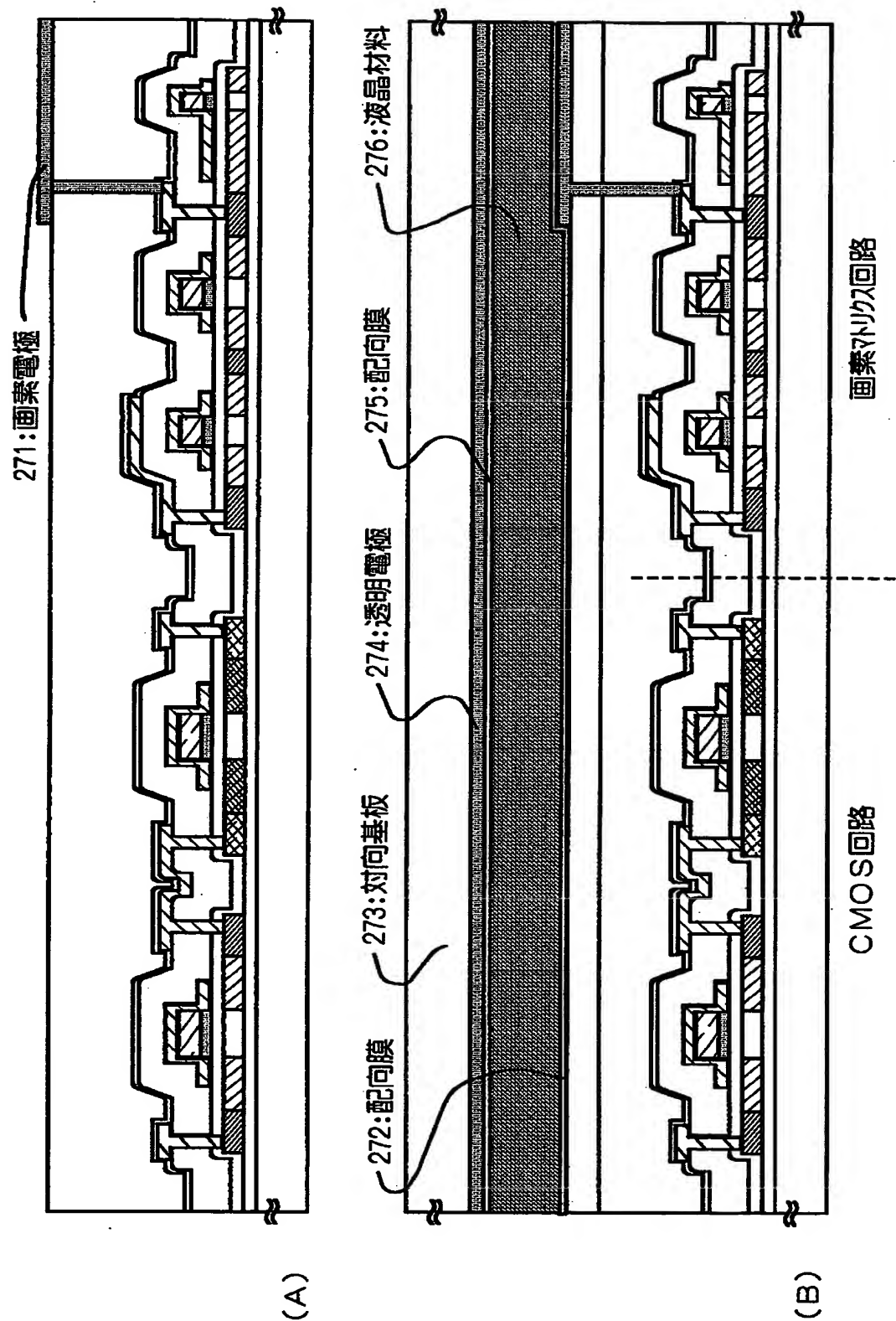
【図 3】



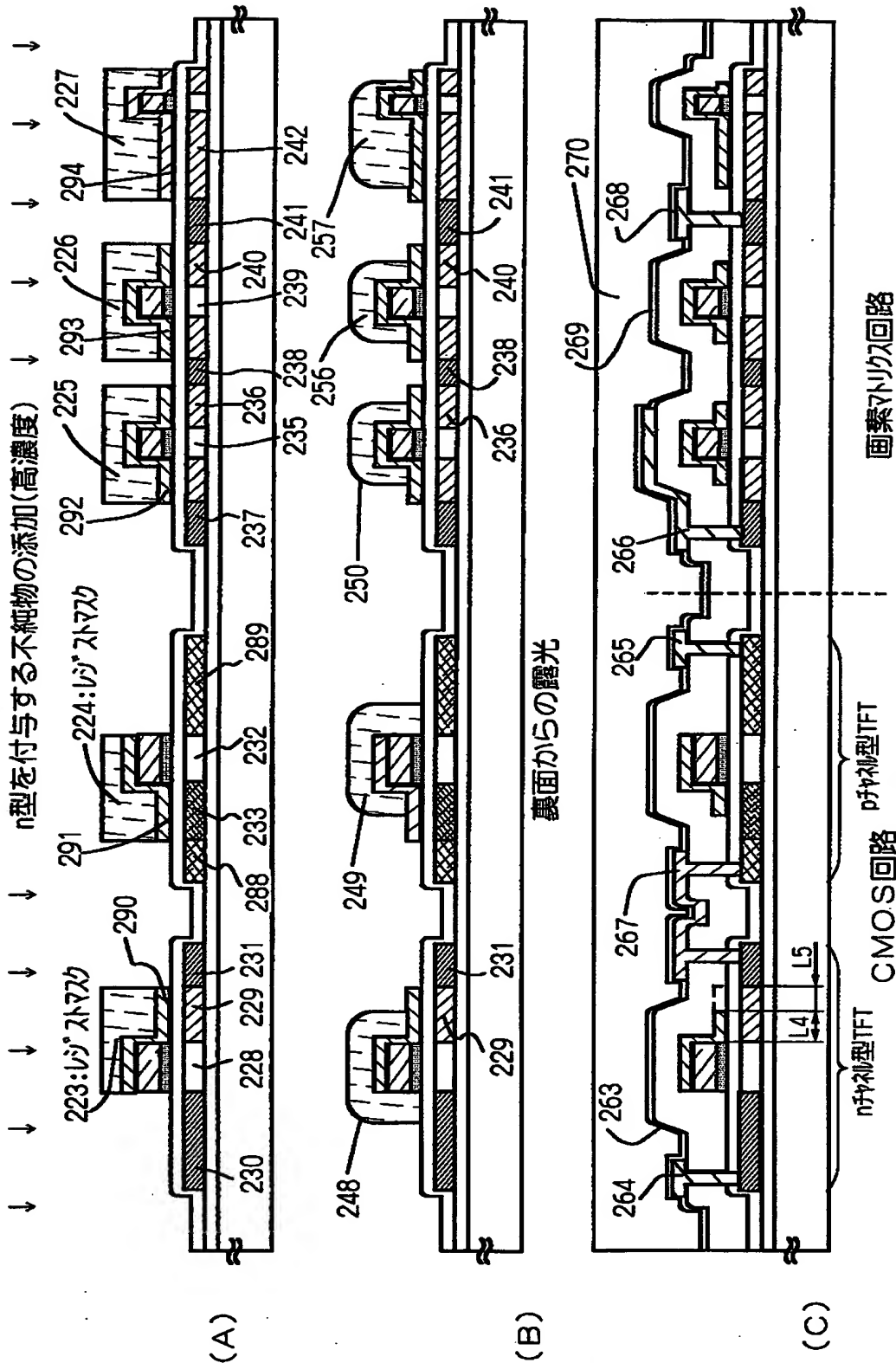
【図 4】



【図5】

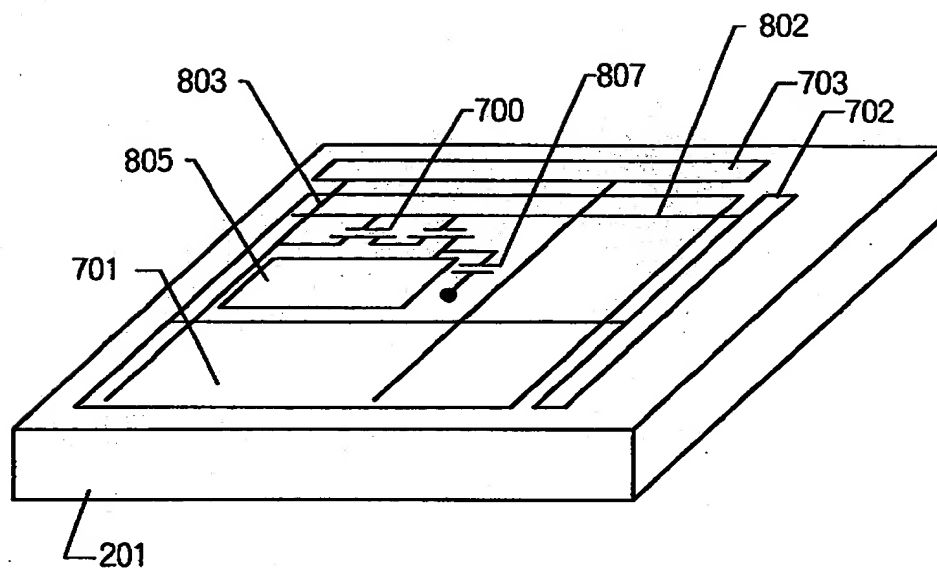


【図 6】



248、249、250、256、257:レジスタ、290、291:第2のゲート電極、
263:第1の層間絶縁膜、264、265、266:ソース電極、267、268:ドレイン電極、269:パッシベーション膜、270:第2の層間絶縁膜

【図7】



201:基板

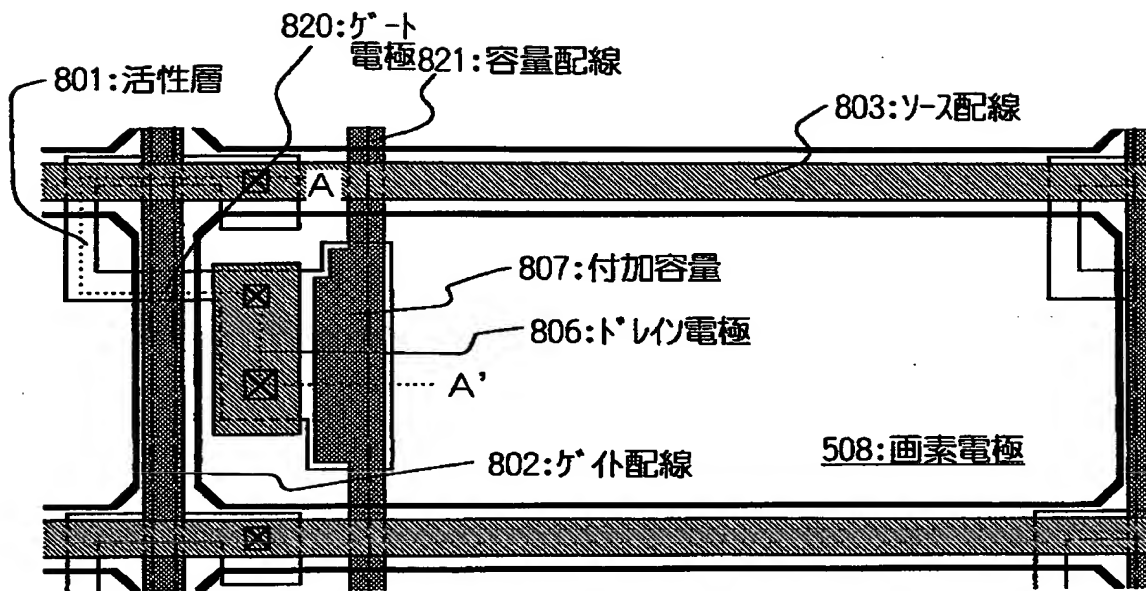
700:画素TFT

701:画素マトリクス回路

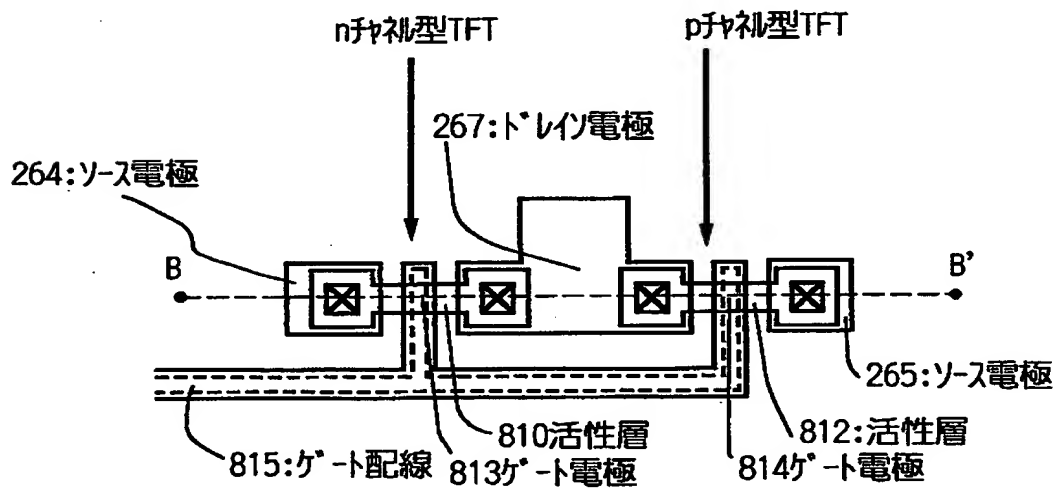
702:走査(ゲート)線駆動回路、703:信号(ソース)線駆動回路

802:ゲート配線、803:ソース配線、805:画素電極、807:付加容量

【図 8】

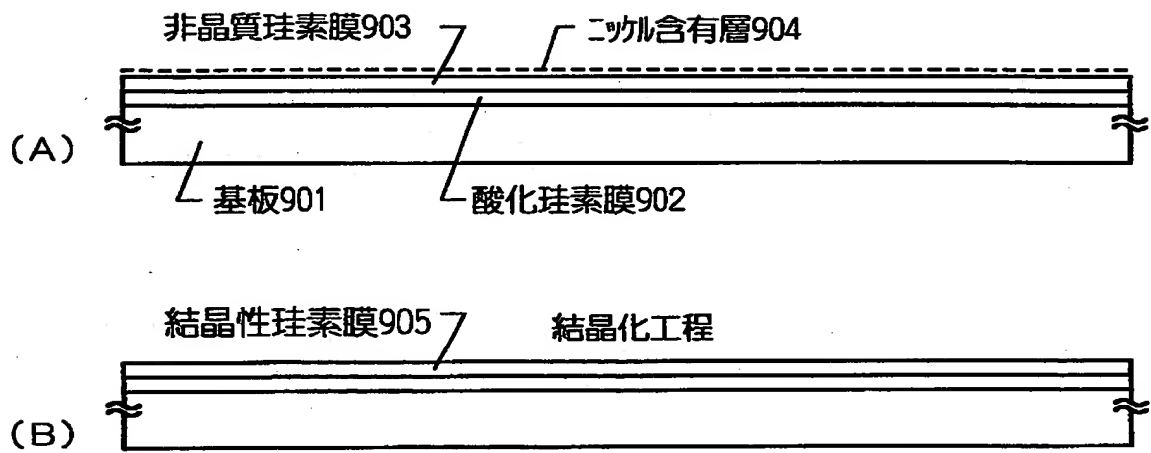


(A) 画素マトリクス回路上面図

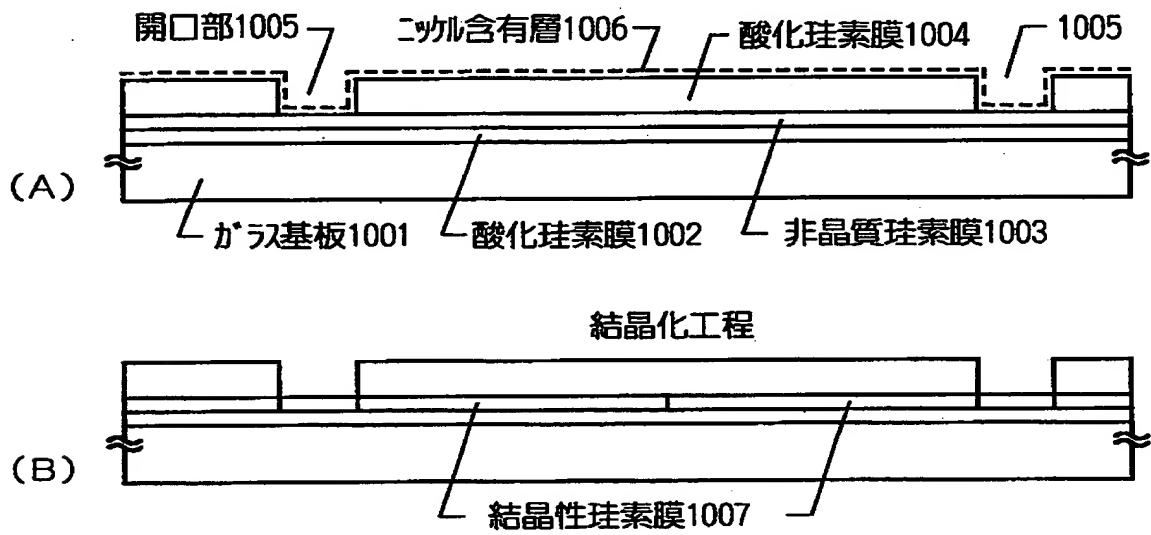


(B) CMOS回路上面図

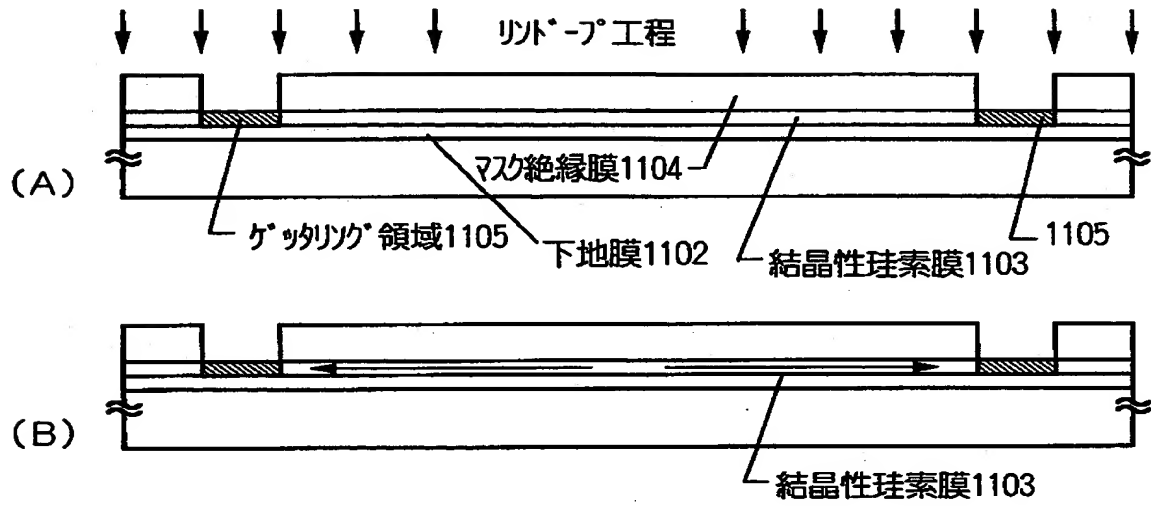
【図 9】



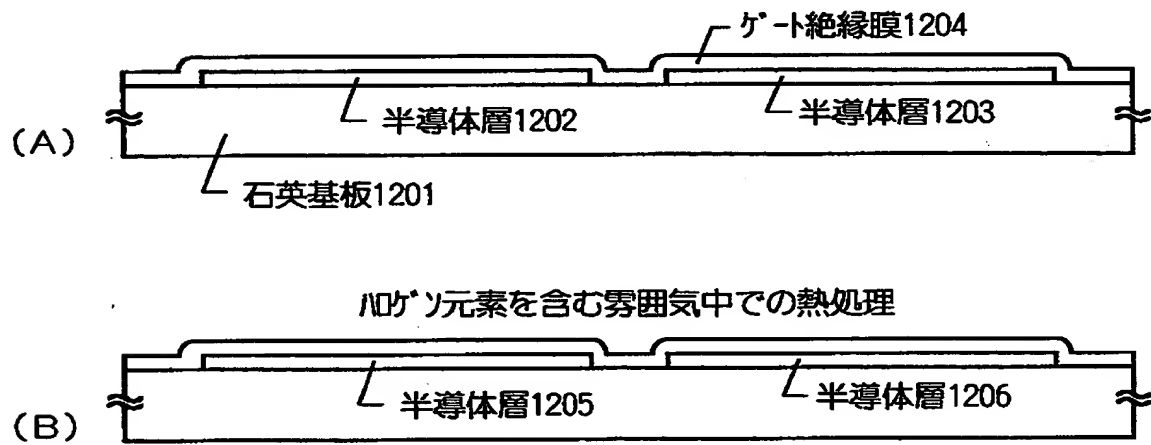
【図 10】



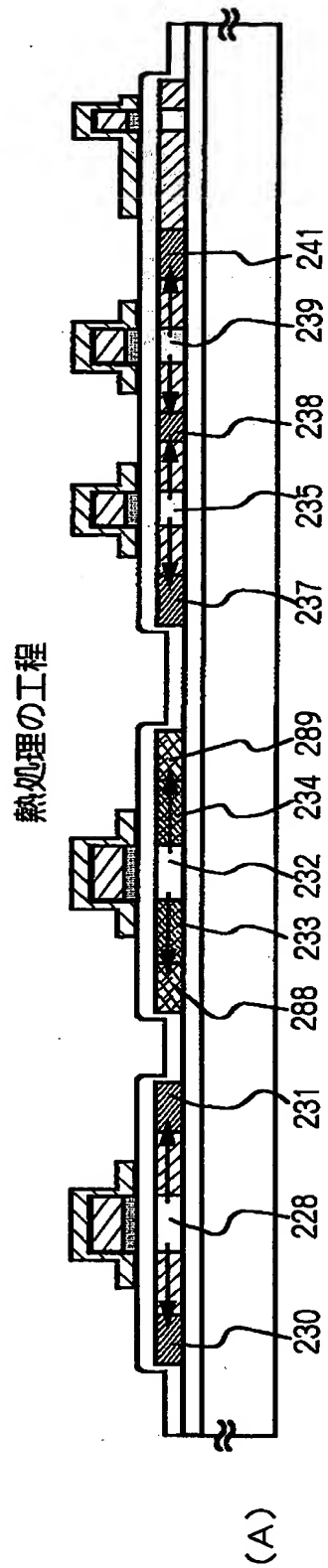
【図 11】



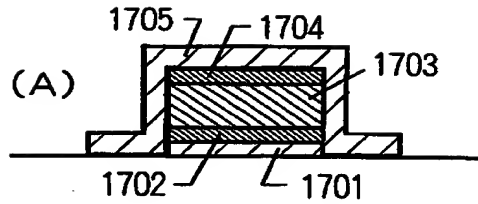
【図 12】



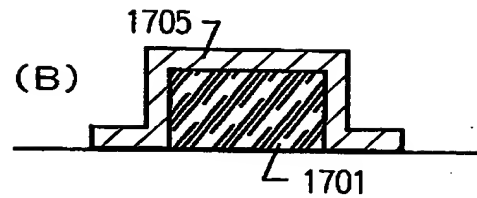
【図 13】



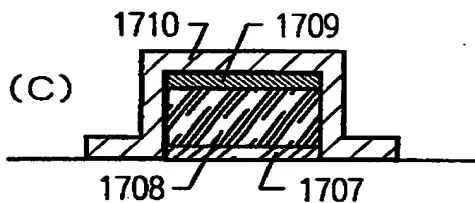
【図 1 4】



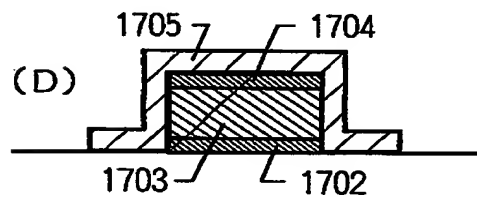
1701:Mo-Ti膜、1705:Ta、Ti、Mo膜
1702、1704:Ti膜
1703:Alを主成分とする膜



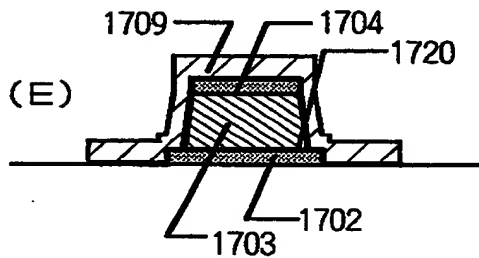
1701:Mo-W合金膜、
1705:Ta、Ti、Mo膜



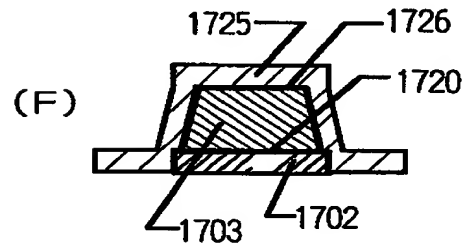
1707、1710:Ti膜
1708:Cuを主成分とする膜
1709:Ti膜



1702、1704:Ti膜
1703:Alを主成分とする膜
1705:Ta、Ti、Mo膜



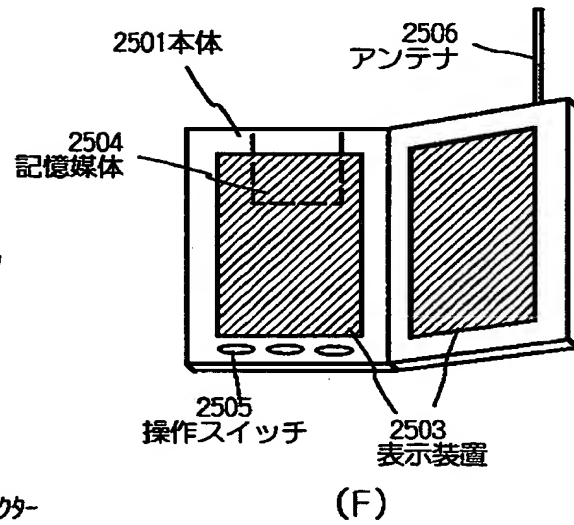
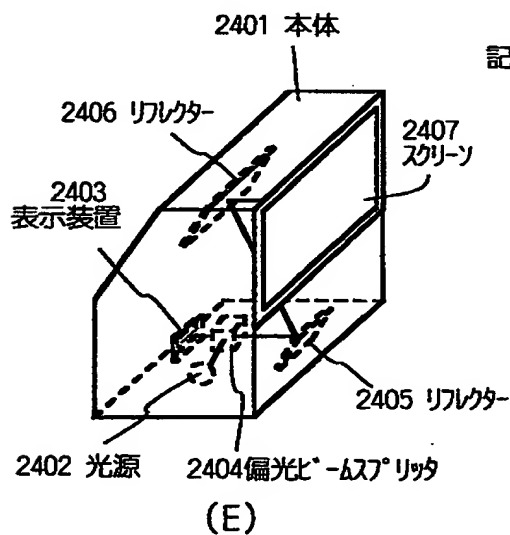
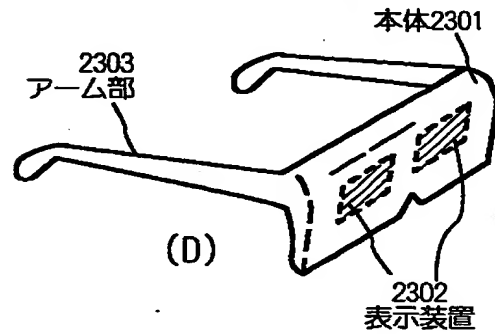
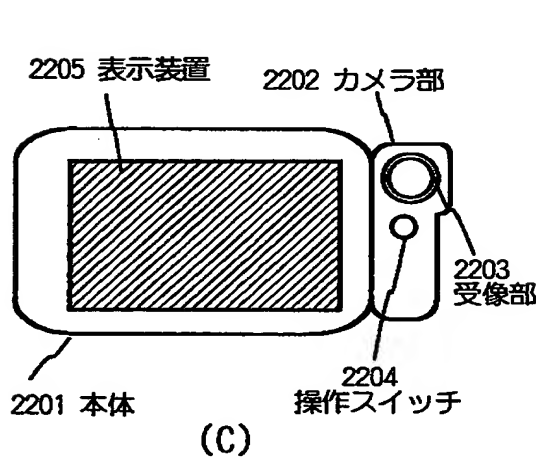
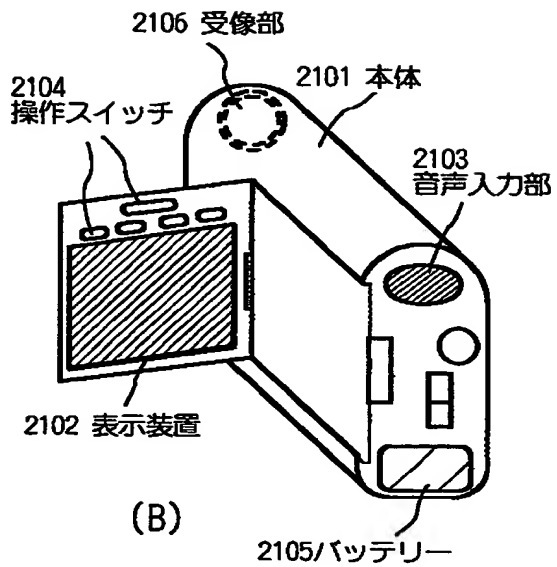
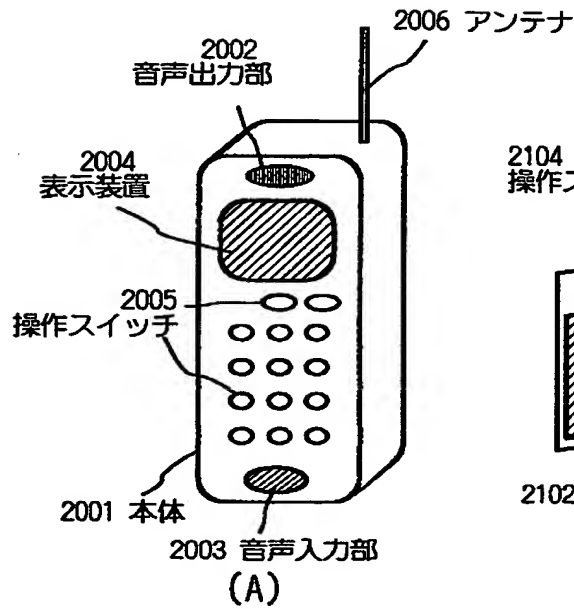
1702、1704:Ti膜
1703:Alを主成分とする膜
1709:Ti膜
1720:TiN膜



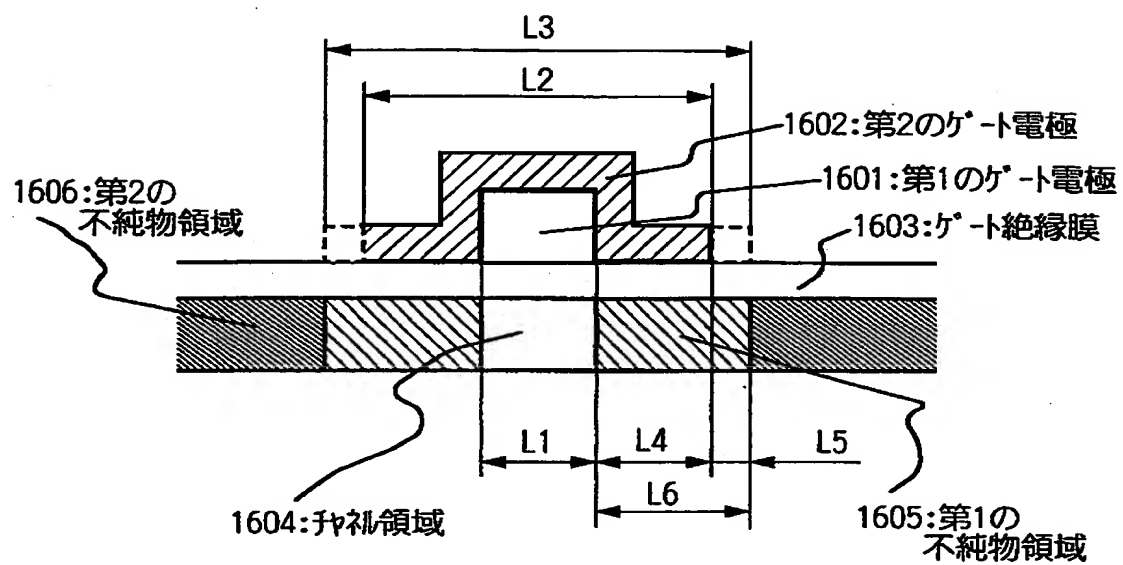
1702:Ti膜
1703:Alを主成分とする膜
1725:Ta膜
1720:TiN膜、1726:TaN膜

特平 1 0 - 3 4 4 8 9 3

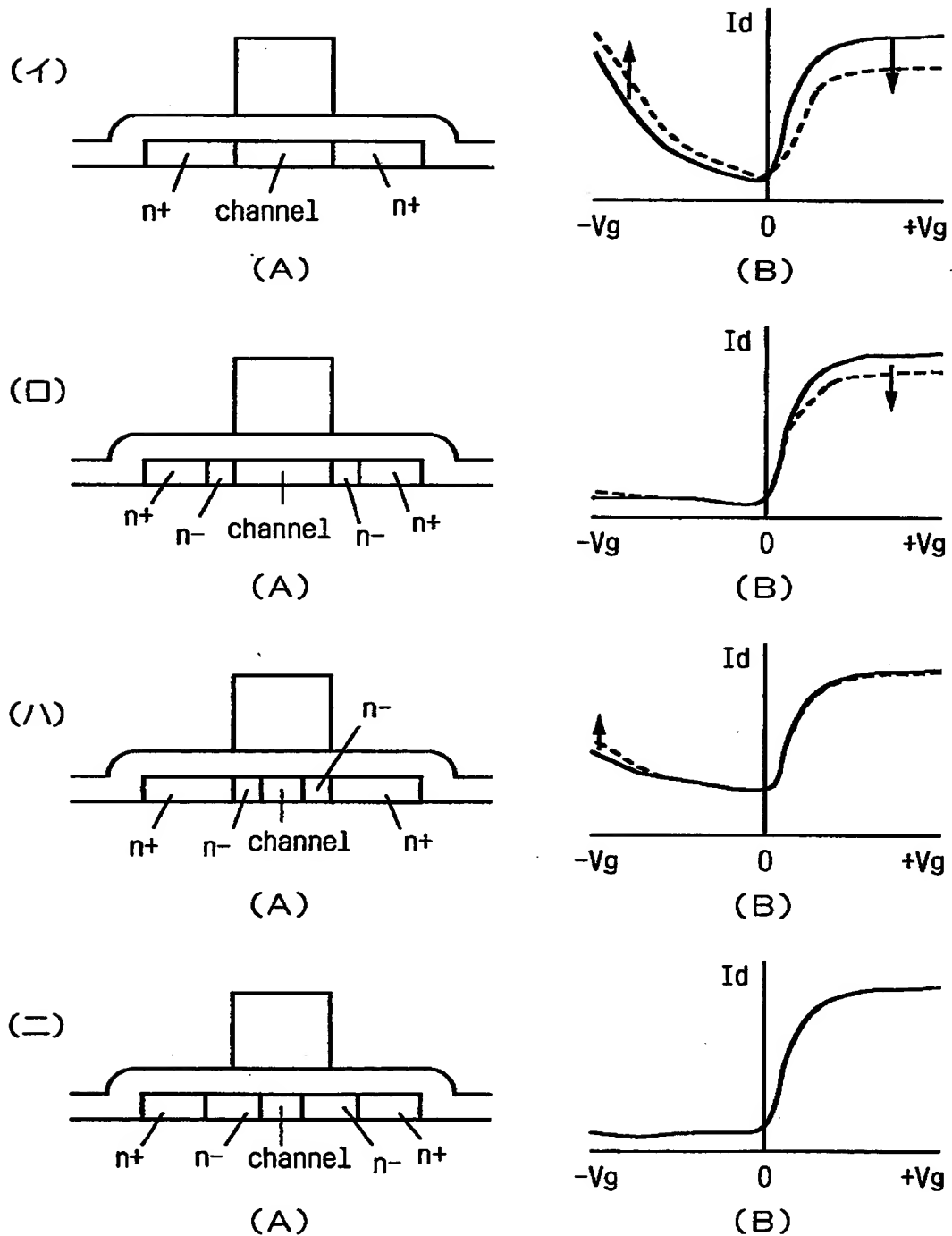
【図 1 5】



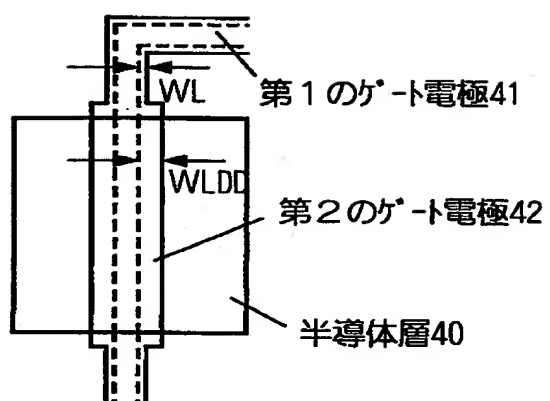
【図16】



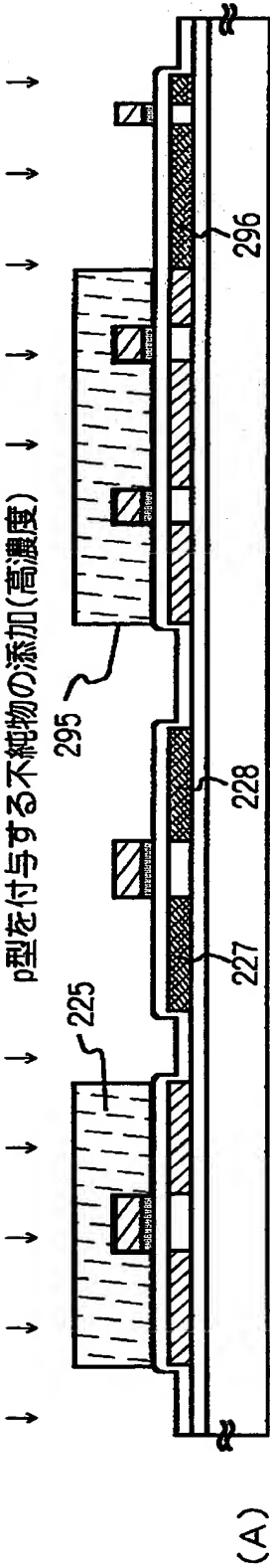
【図 17】



【図 18】

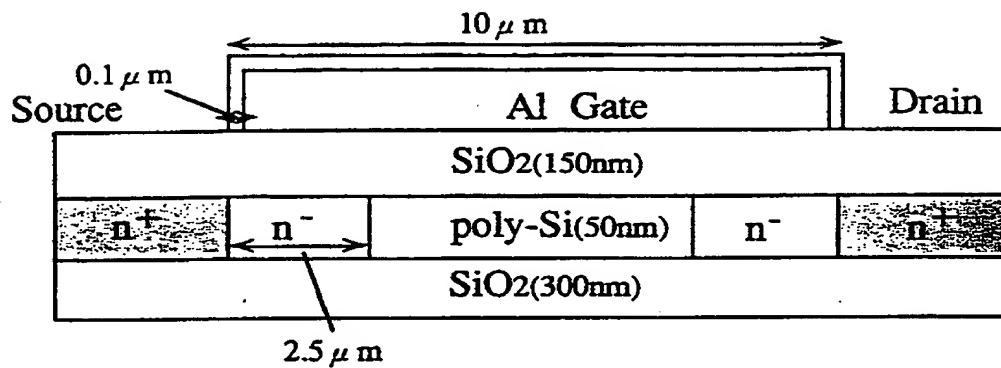


【図 19】

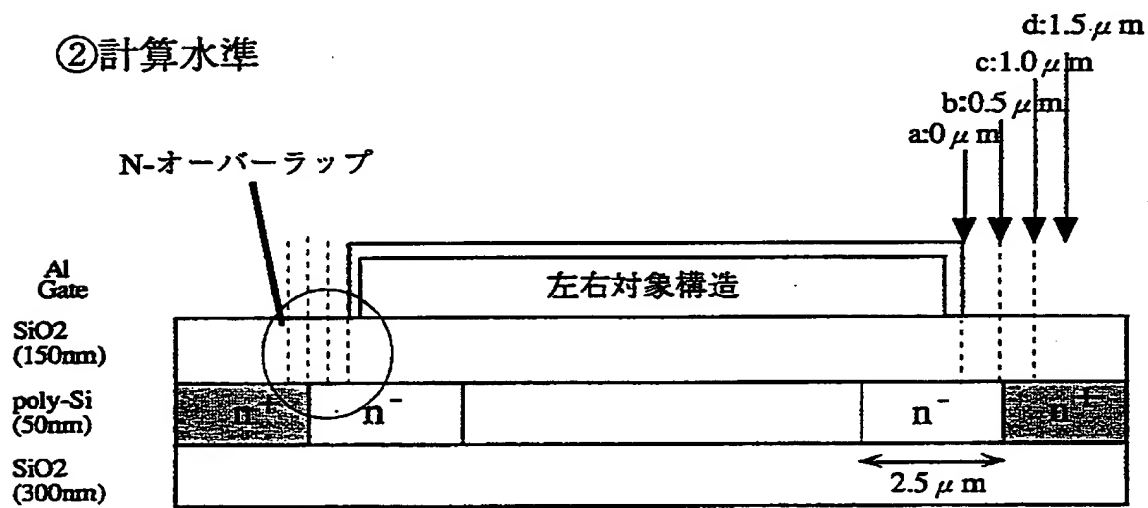


【図 20】

① シミュレーション基本構造



② 計算水準



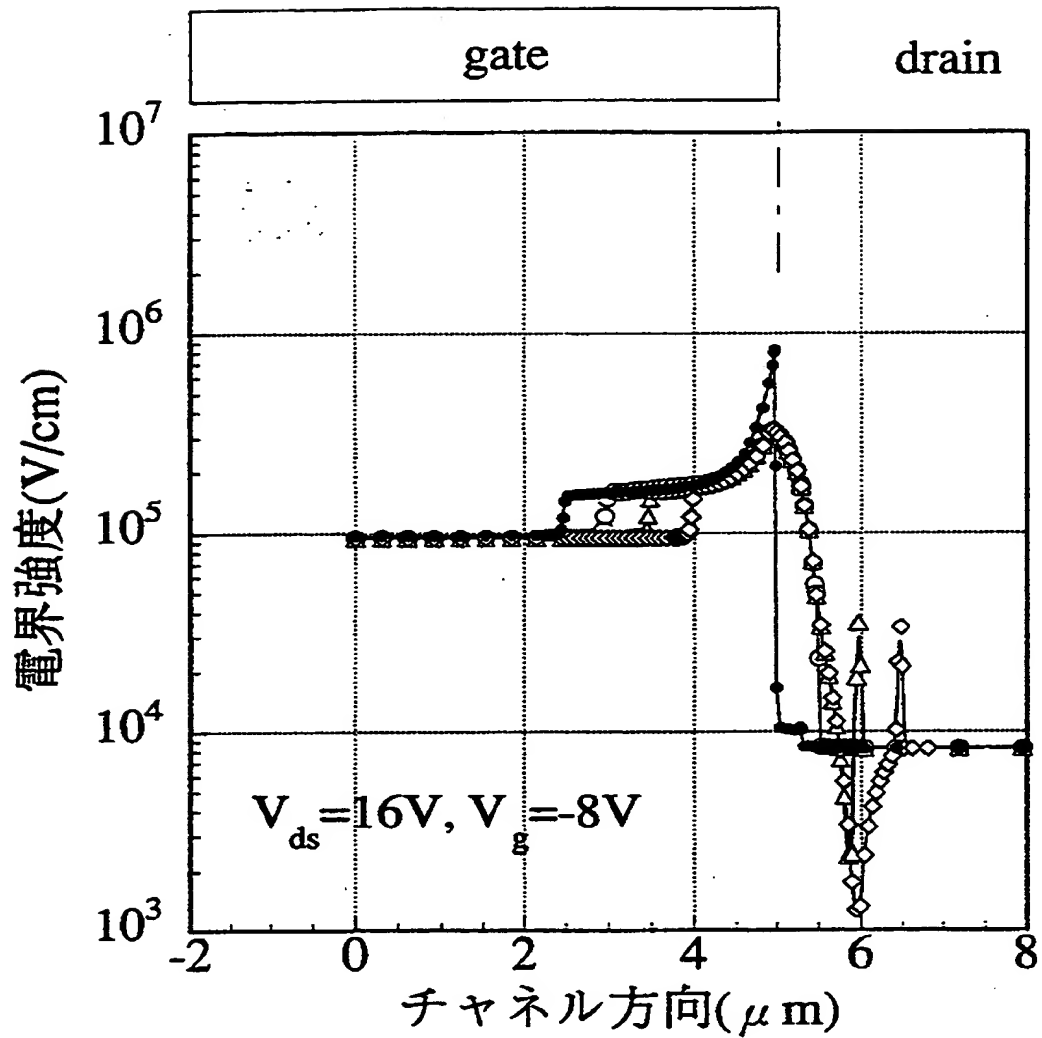
※n-領域幅は2.5 μmで固定

有効n-領域濃度(activated conc.) ; 4.2E17/cm3

有効n+領域濃度(activated conc.) ; 2E20/cm3

n-領域幅は2.5 μmで固定

【図 2 1】

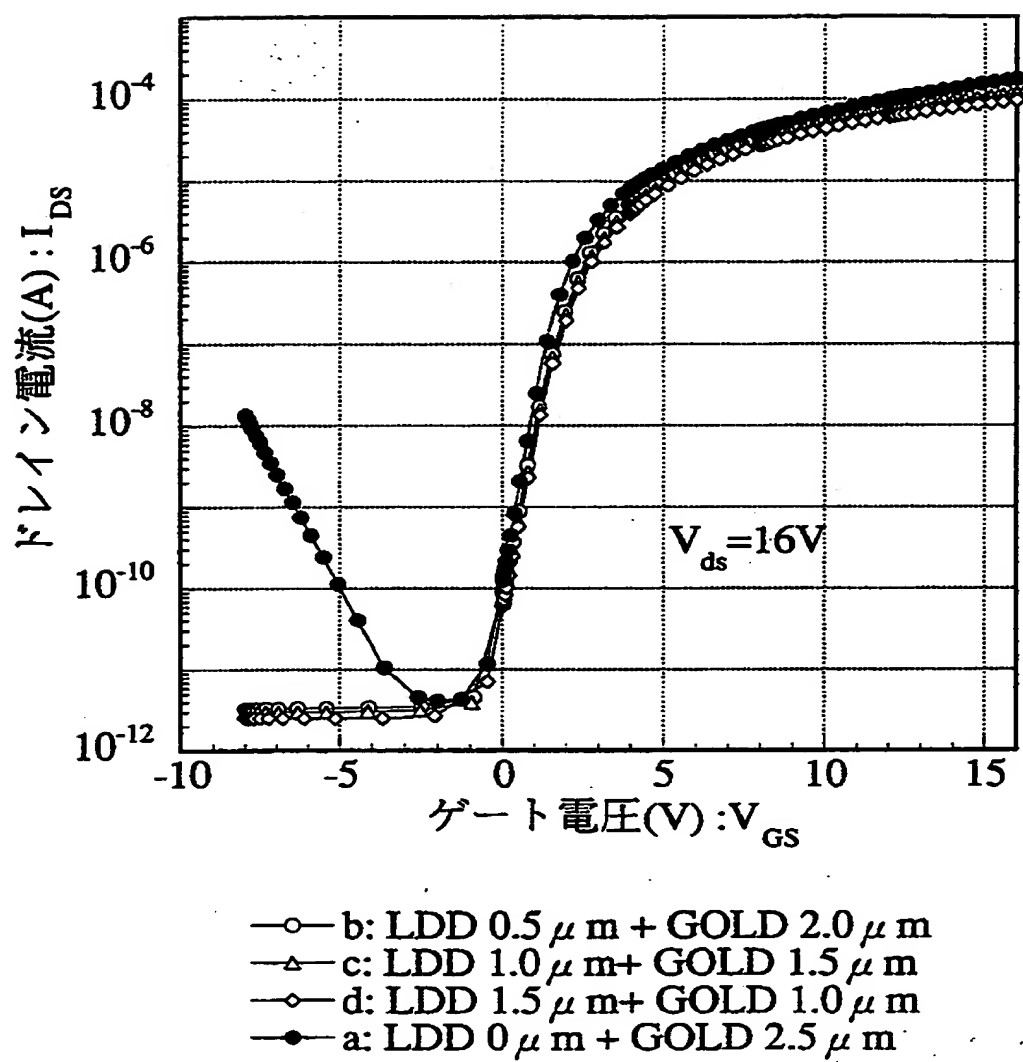


n 有効濃度: $4.2E17/cm^3$

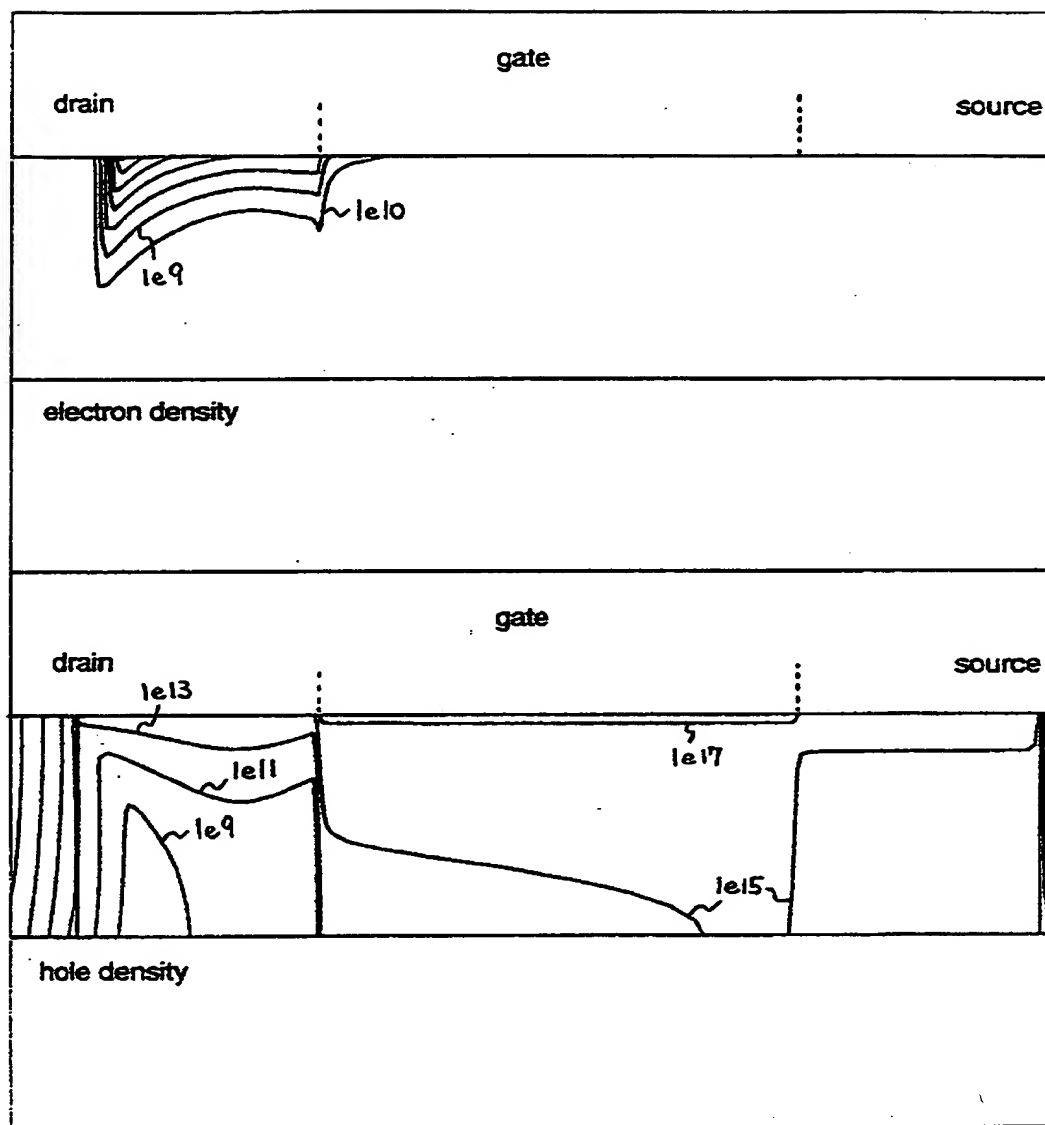
n 幅は $2.5 \mu m$ 固定

- b: LDD $0.5 \mu m$ + GOLD $2.0 \mu m$
- △— c: LDD $1.0 \mu m$ + GOLD $1.5 \mu m$
- ◇— d: LDD $1.5 \mu m$ + GOLD $1.0 \mu m$
- a: LDD $0 \mu m$ + GOLD $2.5 \mu m$

【図 22】

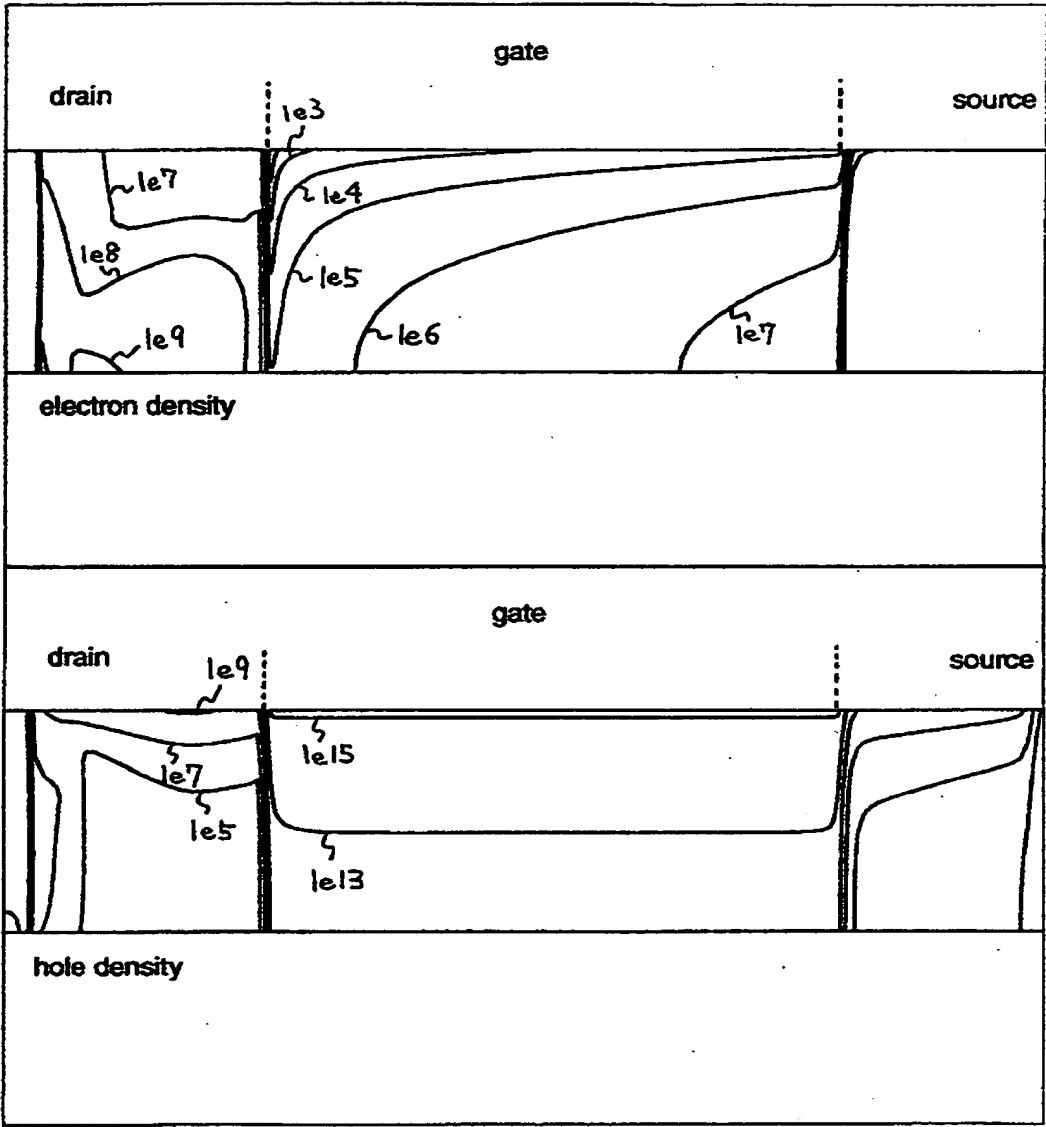


【図 23】



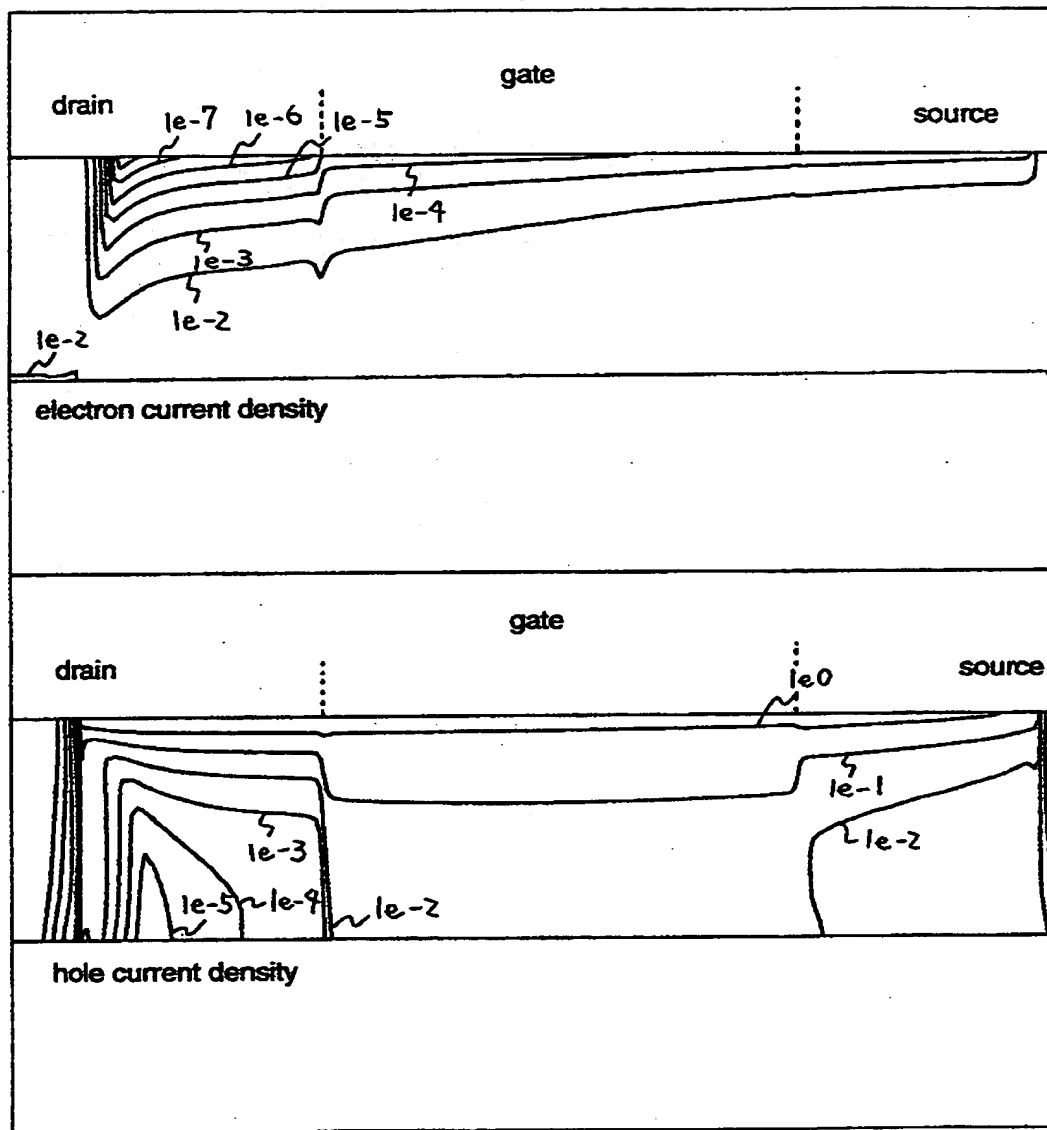
GOLD ($2.5\mu\text{m}$) + LDD ($0\mu\text{m}$)

【 図 2 4 】



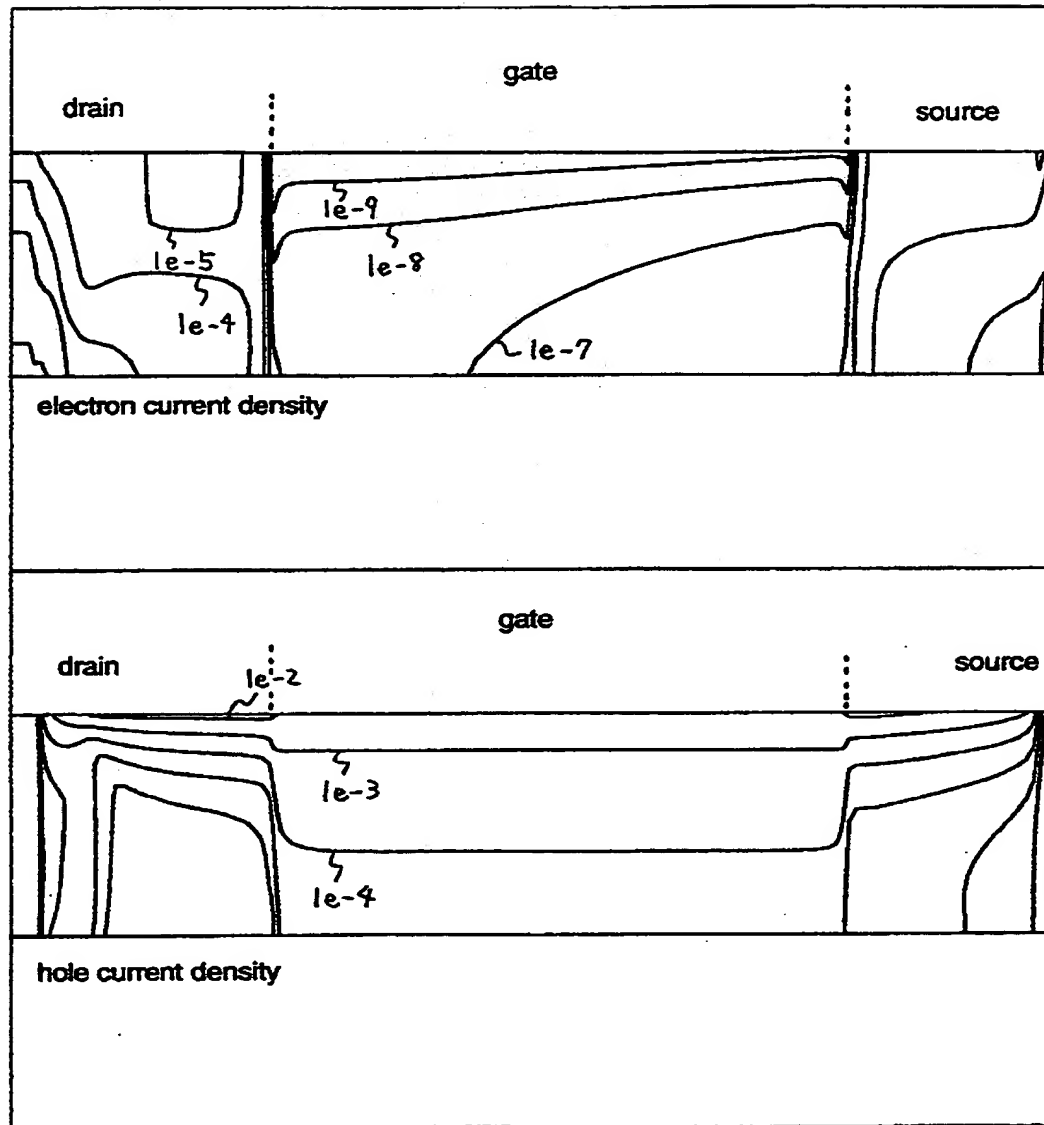
GOLD (2.0 μm) + LDD (0.5 μm)

【図 25】



GOLD ($2.5\mu\text{m}$) + LDD ($0\mu\text{m}$)

【図 26】



GOLD ($2.0\mu\text{m}$) + LDD ($0.5\mu\text{m}$)

【書類名】 要約書

【要約】

【課題】 オフ電流の増加とオン電流の劣化を同時に防ぐことのできる結晶質 T F T を得ることを目的とする。

【解決手段】 結晶性 T F T のゲート電極を、第 1 のゲート電極と、前記第 1 のゲート電極とゲート絶縁膜に接して設けられる第 2 のゲート電極とを形成する。L D D 領域を前記第 1 のゲート電極をマスクとして形成し、ソース領域およびドレイン領域を前記第 2 のゲート電極をマスクとして形成する。そして、前記第 2 のゲート電極の一部を除去することにより、L D D 領域がゲート絶縁膜を介して第 2 のゲート電極と重なる領域と重ならない領域を設けた構造とする。

【選択図】 図 1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 3 9 8 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所